

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kojima, et al.

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: January 20, 2004

Examiner: Not yet assigned

Title: **SEMICONDUCTOR INTEGRATED CIRCUIT HAVING AN OBLIQUE
GLOBAL SIGNAL WIRING AND SEMICONDUCTOR INTEGRATED
CIRCUIT WIRING METHOD**

EXPRESS MAIL NUMBER: EV 302279921 US

DATE OF DEPOSIT: January 20, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313.



Susan Pingue

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	P2003-011631	January 20, 2003

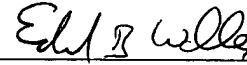
A Certified copy of the corresponding Convention Application is being submitted herewith.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: January 20, 2004

By



Edward B. Weller

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH
2000 University Avenue
East Palo Alto, CA 94303
Telephone: (650) 833-2436
Facsimile: (650) 833-2001

JAPAN PATENT OFFICE

**This is to certify that the annexed is a true copy of the following application
as filed with this Office:**

Date of Application: January 20, 2003

Application Number: P2003-011631
[ST.10/C]: [JP2003-011631]

Applicant(s): KABUSHIKI KAISHA TOSHIBA

November 12, 2003

Commissioner:
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3093465

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application
as filed with this Office:

Date of Application: January 20, 2003

Application Number: P2003-011631
[ST.10/C]: [JP2003-011631]

Applicant(s): KABUSHIKI KAISHA TOSHIBA

November 12, 2003

Commissioner:
Japan Patent Office Yasuo IMAI

Number of Certificate: 2003-3093465

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 月 2 0 日

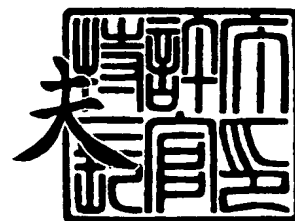
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 1 1 6 3 1
[ST. 10/C]: [J P 2 0 0 3 - 0 1 1 6 3 1]

出 願 人
Applicant(s): 株式会社東芝

2 0 0 3 年 1 1 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 46B016026

【提出日】 平成15年 1月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
H01L 27/118

【発明の名称】 半導体集積回路及びその製造方法

【請求項の数】 13

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 小島 直仁

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 南 文裕

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 宇佐見 公良

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083806

 【弁理士】

 【氏名又は名称】 三好 秀和

 【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上の機能ブロックと、
前記機能ブロックの第 1 の辺に配設された第 1 のバッファセルと、
前記機能ブロックの、前記第 1 の辺に隣接する第 2 の辺に配設された第 2 のバッファセルと、
前記第 1 及び第 2 の辺に対して斜めに前記機能ブロック上を通過し、前記第 1 のバッファセルと第 2 のバッファセルとの間を接続する信号配線と
を備えたことを特徴とする半導体集積回路。

【請求項 2】 前記基板上において、X 方向に延在する第 1 の信号配線と、
前記第 1 の信号配線に対して直交し Y 方向に延在する第 2 の信号配線とをさらに
備え、

前記信号配線は、前記第 1 の信号配線及び第 2 の信号配線の延在方向に対して
斜めに延在することを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 前記信号配線は、前記第 1 の信号配線及び前記第 2 の信号配線よりも上層の配線層に配設されたことを特徴とする請求項 2 に記載の半導体集積回路。

【請求項 4】 前記信号配線は、前記第 1 の信号配線又は前記第 2 の信号配線の延在方向に対して 4 5 度又は 1 3 5 度の傾きにおいて延在することを特徴とする請求項 2 又は請求項 3 に記載の半導体集積回路。

【請求項 5】 前記信号配線は、前記基板上の実効的に全域に配設される、データバス、アドレスバスの少なくともいずれかを含むグローバル信号配線であることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 6】 基板上の機能ブロックと、
前記基板上において、前記機能ブロックの辺長に比べて短い配線長を有する複数の信号配線と、

前記複数の信号配線間毎に電氣的に直列に接続された複数のバッファセルと、
を備え、

前記機能ブロックの第1の辺及びこの第1の辺に隣接する第2の辺に配設されたバッファセル間を接続し、前記機能ブロックの第1の辺と第2の辺との間の角部を斜めに横切る少なくとも1本の信号配線を備えたことを特徴とする半導体集積回路。

【請求項7】 前記バッファセルは前記機能ブロック外部に配設されていることを特徴とする請求項1又は請求項6に記載の半導体集積回路。

【請求項8】 前記信号配線に隣接しかつ実質的に平行に延在し、固定電源が供給されるウェーブガイドをさらに備えたことを特徴とする請求項1又は請求項6に記載の半導体集積回路。

【請求項9】 基板上の機能ブロックと、
前記機能ブロック内部に所定間隔において規則的に配列された複数のバッファセルと、

前記機能ブロックの辺に対して斜めに延在し、隣接するバッファセル間を接続する信号配線と、

を備えたことを特徴とする半導体集積回路。

【請求項10】 前記複数のバッファセルは、それぞれ、駆動能力が異なる第1のバッファセル及び第2のバッファセルを備えていることを特徴とする請求項9に記載の半導体集積回路。

【請求項11】 前記信号配線は、前記基板上の実効的に全域に配設され、前記機能ブロック上を通過する、データバス、アドレスバスの少なくともいずれかを含むグローバル信号配線であることを特徴とする請求項9に記載の半導体集積回路。

【請求項12】 基板上に機能ブロックを配置する工程と、
前記機能ブロック上において、この機能ブロックの隣接する第1の辺及び第2の辺を斜めに通過する信号配線を配置する工程と、

前記信号配線の一端に接続され、前記機能ブロックの第1の辺の近傍に第1のバッファセルを配置するとともに、前記信号配線他端に接続され、前記機能ブロックの第2の辺の近傍に第2のバッファセルを配置する工程と

を備えたことを特徴とする半導体集積回路の製造方法。

【請求項 13】 基板上に複数の機能ブロックを配置する工程と、
信号配線経路内において、前記複数の機能ブロック中の最小損失となる第 1 の機能ブロックを抽出する工程と、
前記第 1 の機能ブロックの周囲に配置された第 2 の機能ブロックを抽出する工程と、
前記第 2 の機能ブロックの隣接する第 1 の辺及び第 2 の辺を斜めに通過する信号配線を配置する工程と、
前記信号配線の経路長が制約範囲内か否かを判定する工程と、
前記経路長が制約範囲外の信号配線において、少なくとも信号タイミングが設計許容範囲内か否かを判定する工程と、
前記設計許容範囲内でない場合に、バッファセルを配置可能か否かを判定する工程と、
前記バッファセルが配置可能な場合に、前記第 2 の機能ブロックの第 1 の辺の近傍に前記信号配線の一端に接続された第 1 のバッファセルを配置するとともに、前記第 2 の機能ブロックの第 2 の辺の近傍に前記信号配線の他端に接続された第 2 のバッファセルを配置する工程と
を備えたことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路及びその製造方法に関し、特に基板上に機能ブロックとグローバル信号配線とを備えた半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】

高速かつ大規模な半導体集積回路（LSI: large scale integration）の設計には、以下の設計手法が一般化されている。まず、半導体集積回路に搭載される回路が機能毎にハードマクロブロック化（機能ブロック化）される。そして、半導体集積回路の基板上に機能ブロックを自動的に配置し、機能ブロックの端子と他の回路との間を配線により電氣的に接続する。この種の設計はコンピュータを用

いた設計製図支援（C A D : computer aided design）システムにより行われている。

【0003】

ここで、半導体集積回路には、スタンダードセル（standard cell）方式を採用する集積回路、特定用途向け集積回路（A S I C : application specific integrated circuit）等が少なくとも含まれる。配線とは、機能ブロックやその他の回路との間においてデータ信号の送受信を行うデータバス、アドレス信号の送受信を行うアドレスバス等の信号配線であり、比較的、基板全域に渡って長い配線長を有する信号配線である。このような信号配線は一般的にグローバル信号配線と呼ばれている。また、基板とは、設計段階においてはC A Dシステムのメモリ空間に構築された仮想的な基板であり、実際の製品（半導体集積回路）の半導体基板や半導体チップに相当するものである。

【0004】

半導体集積回路の設計において、配線層数が限られており、機能ブロック上をグローバル信号配線の禁止領域とした場合、グローバル信号配線は機能ブロックの周囲を迂回する必要がある。基板の大きさに占める機能ブロックの大きさが非常に大きい場合には、グローバル信号配線の迂回に要する配線長は非常に長くなる。グローバル信号配線の配線長の増大は動作タイミング不良（タイミング違反）の原因となり、再設計が必要である。

【0005】

配線長の増大を避けるためには、機能ブロック内部の結線に使用する配線層を最下層から数層に限定し、これ以降の上層の配線層にグローバル信号配線を割り当てる設計方法を採用すればよい。この設計方法によれば、グローバル信号配線が機能ブロック上を通過することができる。

【0006】

【発明が解決しようとする課題】

しかしながら、このような半導体集積回路の設計方法においては、以下の点について配慮がなされていない。

【0007】

すなわち、上記設計方法においては、機能ブロック上にグローバル信号配線の通過が可能であるが、グローバル信号配線の通過経路に合わせて機能ブロック内部にバッファセルを追加配設することは不可能である。ここで、バッファセルとは、グローバル信号配線に伝達される信号の増強（駆動力の増強）を行う回路（中継セル）である。

【0008】

また、機能ブロック内部にバッファセルの配設が不可能であるために、機能ブロック外部において機能ブロックの対向辺近傍に各々バッファセルを配設し、機能ブロック上を通過するグローバル信号配線を通してこれらのバッファセルを結線する必要がある。しかしながら、巨大なサイズの機能ブロックの場合には、機能ブロック上を通過するグローバル信号配線の配線長が非常に長くなり、グローバル信号配線の配線付加容量が増大する。たとえ、増強力の高いバッファセルを配置したとしても、信号立ち上がり/立下り時間が設計許容範囲外になり、タイミング不良を生じる。このため、巨大なサイズの機能ブロックが存在する場合には、機能ブロック上を通過するグローバル信号配線を配置することができず、結局は機能ブロックを迂回するようにグローバル信号配線を配置する必要があった。

【0009】

なお、この種の半導体集積回路の設計方法に関しては、特許文献1に開示されている。

【0010】

【特許文献1】

特開2000-082743号公報

【0011】

本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、機能ブロックを迂回する信号配線を減少し、信号遅延を防止することにより、高集積化に最適で、動作性能に優れた半導体集積回路を提供することである。

【0012】

さらに、本発明の目的は、上記目的を達成するのに好適な半導体集積回路の製造方法を提供することである。

【0013】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、基板上の機能ブロックと、機能ブロックの第1の辺に配設された第1のバッファセルと、機能ブロックの、第1の辺に隣接する第2の辺に配設された第2のバッファセルと、第1及び第2の辺に対して斜めに機能ブロック上を通過し、第1のバッファセルと第2のバッファセルとの間を接続する信号配線とを備えた半導体集積回路としたことである。

【0014】

本発明の第2の特徴は、基板上の機能ブロックと、基板上において、機能ブロックの辺長に比べて短い配線長を有する複数の信号配線と、複数の信号配線間毎に電氣的に直列に接続された複数のバッファセルと、を備え、機能ブロックの第1の辺及びこの第1の辺に隣接する第2の辺に配設されたバッファセル間を接続し、機能ブロックの第1の辺と第2の辺との間の角部を斜めに横切る少なくとも1本の信号配線を備えた半導体集積回路としたことである。

【0015】

本発明の第3の特徴は、本発明の第1の特徴又は第2の特徴に係る半導体集積回路の信号配線に隣接しかつ実質的に平行に延在し、固定電源が供給されるウェーブガイドをさらに備えた半導体集積回路としたことである。

【0016】

本発明の第4の特徴は、基板上の機能ブロックと、機能ブロック内部に所定間隔において規則的に配列された複数のバッファセルと、機能ブロックの辺に対して斜めに延在し、隣接するバッファセル間を接続する信号配線とを備えた半導体集積回路としたことである。

【0017】

本発明の第5の特徴は、本発明の第4の特徴に係る半導体集積回路の複数のバッファセルに、それぞれ、駆動能力が異なる第1のバッファセル及び第2のバッ

ファセルを備えた半導体集積回路としたことである。

【0018】

本発明の第6の特徴は、基板上に機能ブロックを配置する工程と、機能ブロック上において、この機能ブロックの隣接する第1の辺及び第2の辺を斜めに通過する信号配線を配置する工程と、信号配線の一端に接続され、機能ブロックの第1の辺の近傍に第1のバッファセルを配置するとともに、信号配線の他端に接続され、機能ブロックの第2の辺の近傍に第2のバッファセルを配置する工程とを備えた半導体集積回路の製造方法としたことである。

【0019】

本発明の第7の特徴は、基板上に複数の機能ブロックを配置する工程と、信号配線経路内において、複数の機能ブロック中の最小損失となる第1の機能ブロックを抽出する工程と、第1の機能ブロックの周囲に配置された第2の機能ブロックを抽出する工程と、第2の機能ブロックの隣接する第1の辺及び第2の辺を斜めに通過する信号配線を配置する工程と、信号配線の経路長が制約範囲内か否かを判定する工程と、経路長が制約範囲外の信号配線において、少なくとも信号タイミングが設計許容範囲内か否かを判定する工程と、設計許容範囲内でない場合に、バッファセルを配置可能か否かを判定する工程と、バッファセルが配置可能な場合に、第2の機能ブロックの第1の辺の近傍に信号配線の一端に接続された第1のバッファセルを配置するとともに、第2の機能ブロックの第2の辺の近傍に信号配線の他端に接続された第2のバッファセルを配置する工程とを備えた半導体集積回路の製造方法としたことである。

【0020】

【発明の実施の形態】

次に、図面を参照して、本発明に係る半導体装置及びその製造方法を、本発明の実施の形態により説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、現実のものとは異なることに留意すべきである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0021】

(第1の実施の形態)

[半導体集積回路の第1の基本構造]

本発明の第1の実施の形態に係る半導体集積回路の第1の基本構造は、図1に示すように、基板1上の機能ブロック2と、機能ブロック2の第1の辺2aに配設された第1のバッファセル3aと、機能ブロック2の、第1の辺2aに隣接する第2の辺2bに配設された第2のバッファセル3bと、第1の辺2a及び第2の辺2bに対して斜めに機能ブロック2上を通過し、第1のバッファセル3aと第2のバッファセル3bとの間を接続する信号配線4aとを備えている。

【0022】

同様に、半導体集積回路は、基板1上の機能ブロック2と、機能ブロック2の第2の辺2bに配設された第2のバッファセル3bと、機能ブロック2の、第2の辺2bに隣接する第3の辺2cに配設された第3のバッファセル3cと、第2の辺2b及び第3の辺2cに対して斜めに機能ブロック2上を通過し、第2のバッファセル3bと第3のバッファセル3cとの間を接続する信号配線4bとを備えている。

【0023】

また、表現を代えれば、半導体集積回路は、基板1上の機能ブロック2と、基板1上において、機能ブロック2の辺2a～2d長に比べて短い配線長を有する複数の信号配線4a及び4bと、複数の信号配線4aと4bとの間毎に電氣的に直列に接続された複数のバッファセル3a～3cとを備え、機能ブロック2の第1の辺2a及びこの第1の辺2aに隣接する第2の辺2bに配設されたバッファセル3aと3bとの間を接続し、機能ブロック2の第1の辺2aと第2の辺2bとの間の角部を斜めに横切る少なくとも1本の信号配線4aを備えている。機能ブロック2、バッファセル3b及び3c、信号配線4bのそれぞれの配置構造も同様である。

【0024】

ここで、第1の実施の形態に係る半導体集積回路は、スタンダードセル方式を採用した半導体集積回路、ASIC等、CADシステムにより設計されている。この設計データに基づき製造マスクが製作され、この製造マスクを用いた半導体

製造プロセスにより実際の製品としての半導体集積回路が製造されている。

【0025】

基板1は、実際の製品において、例えばシリコン単結晶、化合物半導体等の半導体基板（半導体チップ）である。CADシステムによる設計段階において、基板1は、CADシステムのメモリ空間に構築された仮想的な基板である。

【0026】

機能ブロック2は、特定の論理機能、演算機能、記憶機能等の1つ又は複数を有する回路ブロックであり、メガセル、マクロセル、メガブロック、マクロブロック等である。機能ブロック2は、CADシステムによる設計において、1つの部品データとしてデータベースに格納されており、基板上の配置、再配置等が自由に行える。具体的には、中央演算処理ユニット（CPU：central processing unit）、読出し専用メモリ（ROM：read only memory）、読出し書込みメモリ（RAM：random access memory）等が機能ブロック2に該当する。なお、第1の基本構造において、機能ブロック2の平面形状は正方形である。

【0027】

半導体集積回路において、この領域だけに必ずしも限定されるものではないが、機能ブロック2内部及びその他の回路ブロック内部においては、通常、ブロック内配線4x及び4yが配設されている。ブロック内配線4x及び4yは、機能ブロック2を構築する、トランジスタ、抵抗、容量、ダイオード等の半導体素子間の結線、半導体素子により構築される回路間の結線に使用され、さらに半導体素子や回路に電源を供給する電源配線に使用される。半導体集積回路に採用される多層配線構造において、ブロック内配線4x及び4yは、基板1側の最下層からの数層に割り当てられる。例えば、ブロック内配線4xは、機能ブロック2の第2の辺2b及び第4の辺2dに対して実質的に平行なX方向に延在する第1層目の配線（又は及び第3層目の配線）として使用される。ブロック内配線4yは、機能ブロック2の第1の辺2a及び第3の辺2cに対して実質的に平行なY方向に延在する第2層目の配線（又は及び第4層目の配線）として使用される。ブロック内配線4xと4yとの間は、図示しないが、スルーホール配線、ビア配線等の接続孔配線により相互に電氣的に接続されている。

【0028】

ブロック内配線 4 x 及び 4 y は、例えばアルミニウム (Al)、アルミニウム合金 (Al-Si、Al-Cu、Al-Cu-Si 等)、銅 (Cu)、銅合金等の低抵抗配線材料により形成されている。なお、ブロック内配線 4 x は本発明に係る「第 1 の信号配線」の一具体例であり、ブロック内配線 4 y は本発明に係る「第 2 の信号配線」の一具体例である。

【0029】

信号配線 4 a 及び 4 b は、基板全域に渡って配置され、長い配線長を有するグローバル信号配線の機能ブロック 2 上を通過する一部の信号配線である。信号配線 4 a 及び 4 b に伝達される信号はデータ信号、アドレス信号等の半導体集積回路の全体の回路動作タイミングを図る上で重要な信号である。信号配線 4 a 及び 4 b は、機能ブロック 2 上を斜めに通過するために、ブロック内配線 4 x 及び 4 y よりも上層の例えば第 3 層目の配線層（又は第 5 層目の配線層）に配置されることが実用的である。また、第 1 の基本構造においては、信号配線 4 a を第 3 層目の配線層（又は第 5 層目の配線層）に配設し、信号配線 4 b を第 4 層目の配線層（又は第 6 層目の配線層）に配設することができる。さらに、信号配線 4 a を第 4 層目の配線層（又は第 6 層目の配線層）に配設し、信号配線 4 b を第 3 層目の配線層（又は第 5 層目の配線層）に配設することができる。信号配線 4 a 及び 4 b の配線材料は例えばブロック内配線 4 x 及び 4 y の配線材料と同一である。なお、信号配線 4 a 及び 4 b は本発明に係る「信号配線」の一具体例である。

【0030】

第 1 の実施の形態に係る半導体集積回路において、機能ブロック 2 の第 2 の辺 2 b 又はブロック内配線 4 x の延在方向（配線長方向）に対する、信号配線 4 a の傾斜角度 $\theta 1$ は 45 度に設定されている。このように信号配線 4 a を斜め信号配線として配置することにより、図 1 中、破線で示すような第 1 の辺 2 a 及び第 2 の辺 2 b に沿って迂回する場合に比べて、信号配線 4 a の配線長を約 $1/\sqrt{2}$ に短縮することができる。同様に、機能ブロック 2 の第 2 の辺 2 b 又はブロック内配線 4 x の延在方向に対する、信号配線 4 b の傾斜角度 $\theta 2$ は 45 度に設定されている。信号配線 4 b もまたその配線長を約 $1/\sqrt{2}$ に短縮することができる。

。

【0031】

さらに、信号配線 4 a 及び 4 b の配線長の短縮化に併せて、一定の配線長毎に電氣的に直列に挿入するバッファセル 3 a ~ 3 c の挿入ピッチを約 $1/\sqrt{2}$ に短縮することができる。表現を代えれば、信号配線 4 a、4 b のそれぞれの配線長はバッファセル 3 a ~ 3 c の挿入間隔と等しくなる。例えば、半導体集積回路の基板 1 のサイズ（半導体チップサイズ）が 10 mm 角の場合、信号配線 4 a、4 b のそれぞれの配線長は 2 mm に設定され、バッファセル 3 a ~ 3 c の挿入ピッチは 2 mm に設定することができる。

【0032】

なお、第 1 の実施の形態に係る半導体集積回路において、バッファセル 3 a ~ 3 c は機能ブロック 2 の外部領域に配設される。この機能ブロック 2 の外部領域は、図示しないが、CAD システムによる設計段階において、インバータ回路、NAND 回路等の特定の基本回路を構築できるようなベーシックセルが配置されており、このベーシックセルを利用してバッファセル 3 a ~ 3 c が構成されている。このバッファセル 3 a ~ 3 c の詳細な構造は後述する。

【0033】

このように構成される第 1 の実施の形態に係る半導体集積回路の第 1 の基本構造においては、機能ブロック 2 の隣接する第 1 の辺 2 a 及び第 2 の辺 2 b に各々バッファセル 3 a 及び 3 b を配置し、これらバッファセル 3 a 及び 3 b に接続され、機能ブロック 2 上を斜めに通過する信号配線 4 a を配置したことにより、信号配線 4 a の配線長を短縮し、かつ配線負荷容量を減少することができる。さらに、配線負荷容量の減少に伴い、相対的にバッファセル 3 a の駆動力を増強することができる。同様に、機能ブロック 2 の隣接する第 2 の辺 2 b 及び第 3 の辺 2 c に各々バッファセル 3 b 及び 3 c を配置し、これらバッファセル 3 b 及び 3 c に接続され、機能ブロック 2 上を斜めに通過する信号配線 4 b を配置したことにより、信号配線 4 b の配線長を短縮し、かつ配線負荷容量を減少することができる。そして、さらに配線負荷容量の減少に伴い、相対的にバッファセル 3 b の駆動力を増強することができる。従って、機能ブロック 2 を迂回するグローバル信

号配線を減少し、信号遅延を防止することができるので、高集積化に最適で、動作性能に優れた半導体集積回路を得ることができる。

【0034】

なお、第1の実施の形態に係る半導体集積回路において、信号配線4aの傾斜角度 $\theta 1$ 、信号配線4bの傾斜角度 $\theta 2$ はいずれも45度に設定して機能ブロック2上を通過させているが、本発明はこの角度に限定されるものではない。本発明は、例えば傾斜角度 $\theta 1$ 及び $\theta 2$ を30度又は60度に設定してもよい。いずれにしても、傾斜角度 $\theta 1$ 、 $\theta 2$ は、CADシステムにおいて取扱い易い角度であること、半導体集積回路の製造プロセス上の歩留まりが十分に確保できること、そして上記のような効果が十分に得られること等を勘案して適宜選択することができる。

【0035】

[半導体集積回路の第2の基本構造]

第1の実施の形態に係る半導体集積回路の第2の基本構造は、第1の基本構造の機能ブロック2の形状とは異なる形状を有する機能ブロック2を備えた例を説明するものである。半導体集積回路は、図2に示すように、基板1上の機能ブロック2と、機能ブロック2の第1の辺2aに配設された第1のバッファセル3aと、機能ブロック2の、第1の辺2aに隣接する第2の辺2bに配設された第2のバッファセル3bと、第1の辺2a及び第2の辺2bに対して斜めに機能ブロック2上を通過し、第1のバッファセル3aと第2のバッファセル3bとの間を接続する信号配線4aとを備えている。

【0036】

同様に、半導体集積回路は、基板1上の機能ブロック2と、機能ブロック2の第2の辺2bに配設された第3のバッファセル3cと、機能ブロック2の、第2の辺2bに隣接する第3の辺2cに配設された第4のバッファセル3dと、第2の辺2b及び第3の辺2cに対して斜めに機能ブロック2上を通過し、第3のバッファセル3cと第4のバッファセル3dとの間を接続する信号配線4cとを備えている。

【0037】

第2の基本構造の機能ブロック2は、第1の基本構造の機能ブロック2の平面サイズに比べて大きな平面サイズを有するか、又は第1の辺2aに対して第2の辺2bが長い長方形の平面形状を有している。表現を代えれば、グローバル信号配線である信号配線4a～4cのそれぞれの配線長に対して、少なくとも第2の辺2aが十分に長い機能ブロック2が半導体集積回路に配置されている。

【0038】

この機能ブロック2を備えた半導体集積回路においては、信号配線4aが第1の基本構造の信号配線4aと、信号配線4cが第1の基本構造の信号配線4bと同様に斜めに機能ブロック2上を通過し、信号配線4bが機能ブロック2の外部においてその第2の辺2bに沿って実質的に平行に配置されている。信号配線4bは、機能ブロック2の外部周辺において、第2の辺2bに沿って互いに離間して配置されたバッファセル3bと3cとの間を接続する。

【0039】

信号配線4a、4b及び4cは、第1の基本構造と同様に同一の配線層（例えば第3層目の配線層又は第5層目の配線層）に配設することが実用的である。また、信号配線4a、4b及び4cは各々別々の配線層に配設してもよい。さらに、信号配線4a及び4cを同一の配線層に配設し、信号配線4bを信号配線4a及び4cとは別の配線層に配設してもよい。

【0040】

このように構成される第1の実施の形態に係る半導体集積回路の第2の基本構造においては、第1の基本構造により得られる効果と同様の効果を得ることができる。

【0041】

[半導体集積回路の第3の基本構造]

第1の実施の形態に係る半導体集積回路の第3の基本構造は、第1の基本構造の信号配線4a及び4bをバス信号配線とした例を説明するものである。半導体集積回路は、図3に示すように、基板1上の機能ブロック2と、機能ブロック2の第1の辺2aに配設された第1のバッファセル30a～32aと、機能ブロック2の、第1の辺2aに隣接する第2の辺2bに配設された第2のバッファセル

30b～32cと、第1の辺2a及び第2の辺2bに対して斜めに機能ブロック2上を通過し、第1のバッファセル30a～32aと第2のバッファセル30b～32bとの間をそれぞれ接続する信号配線40a～42aとを備えている。

【0042】

同様に、半導体集積回路は、基板1上の機能ブロック2と、機能ブロック2の第2の辺2bに配設された第2のバッファセル30b～32bと、機能ブロック2の、第2の辺2bに隣接する第3の辺2cに配設された第3のバッファセル30c～32cと、第2の辺2b及び第3の辺2cに対して斜めに機能ブロック2上を通過し、第2のバッファセル30b～32bと第3のバッファセル30c～32cとの間をそれぞれ接続する信号配線40b～42bとを備えている。

【0043】

第3の基本構造の機能ブロック2の平面形状は、第1の基本構造の機能ブロック2の平面形状と同一の正方形である。信号配線40a～42a及び信号配線40b～42bは、機能ブロック2上を通過するデータバス、アドレスバス等のグローバル信号配線の一部の信号配線である。

【0044】

図3に示す第3の基本構造においては、第2の辺2bに沿ったX方向にバッファセル30b～32bを配列しているので、交差配線を必要とし、信号配線40a～42aと信号配線40b～42bとを異なる配線層に配設することが実用的である。なお、バッファセル30b～32bをY方向に沿って配列する場合には、交差配線を必要としないので、信号配線40a～42aと信号配線40b～42bとを同一の配線層に配設することができる。

【0045】

このように構成される第1の実施の形態に係る半導体集積回路の第3の基本構造においては、第1の基本構造により得られる効果と同様の効果を得ることができる。

【0046】

なお、第3の基本構造においては、説明を簡単にするために3本の信号配線40a～42a及び信号配線40b～42bについて説明しているが、2本又は4

本以上の本数の信号配線であってもよい。これは、後述する第4の基本構造についても同様である。

【0047】

[半導体集積回路の第4の基本構造]

第1の実施の形態に係る半導体集積回路の第4の基本構造は、第2の基本構造と第3の基本構造とを組み合わせた例を説明するものである。半導体集積回路は、図4に示すように、基板1上の機能ブロック2と、機能ブロック2の第1の辺2aに配設された第1のバッファセル30a～32aと、機能ブロック2の、第1の辺2aに隣接する第2の辺2bに配設された第2のバッファセル30b～32bと、第1の辺2a及び第2の辺2bに対して斜めに機能ブロック2上を通過し、第1のバッファセル30a～32aと第2のバッファセル30b～32bとの間を接続する信号配線40a～42aとを備えている。

【0048】

同様に、半導体集積回路は、基板1上の機能ブロック2と、機能ブロック2の第2の辺2bに配設された第3のバッファセル30c～32cと、機能ブロック2の、第2の辺2bに隣接する第3の辺2cに配設された第4のバッファセル30d～32dと、第2の辺2b及び第3の辺2cに対して斜めに機能ブロック2上を通過し、第3のバッファセル30c～32cと第4のバッファセル30d～32dとの間を接続する信号配線40c～42cとを備えている。

【0049】

信号配線40a～42a及び信号配線40c～42cは、第3の基本構造の信号配線40a～42a及び40b～42bと同様に、バス信号配線であり、グローバル信号配線である。

【0050】

第4の基本構造の機能ブロック2は、前述の第2の基本構造の機能ブロック2と同様に、大きな平面サイズを有するか、又は長方形の平面形状を有している。

【0051】

この機能ブロック2を備えた半導体集積回路においては、前述の第2の基本構造の信号配線4bと同様に、信号配線40b～42bは、機能ブロック2の外部

においてその第2の辺2bに沿って実質的に平行に配置される。そして、信号配線40b～42bは、機能ブロック2の外部周辺において、第2の辺2bに沿って互いに離間して配置されたバッファセル30b～32bと30c～32cとの間をそれぞれ接続する。

【0052】

このように構成される第1の実施の形態に係る半導体集積回路の第4の基本構造においては、第1の基本構造により得られる効果と同様の効果を得ることができる。

【0053】

[半導体集積回路の具体的なレイアウト]

次に、第1の実施の形態に係る半導体集積回路の具体的なレイアウト構造を説明する。ここでは、半導体集積回路はスタンダードセル方式を採用する半導体集積回路である。

【0054】

図5に示すように、半導体集積回路10は、実質的に正方形の平面形状を有する基板1と、基板1上の周辺領域において各辺に沿って配列された複数の入出力バッファセル5と、基板1上の中央領域において配置された機能ブロック20～22及びランダムロジック列6とを備えている。

【0055】

入出力バッファセル5は、半導体集積回路10内部とその外部との間のインターフェイス回路である。この入出力バッファセル5は、そのレイアウト構造を図示しないが、入力用インターフェイス回路、出力用インターフェイス回路、入出力用インターフェイス回路等を構築可能な複数の半導体素子を配列している。さらに、入出力バッファセル5は、入力保護回路、出力保護回路等を構築可能なトランジスタ、抵抗、容量等を少なくとも含む半導体素子を配列している。また、入出力バッファセル5には、図示しないが、外部端子（ボンディングパッド）が配設されている。

【0056】

機能ブロック20～22は、上記半導体集積回路の第1の基本構造において説

明した機能ブロック 2 と同等の機能を有するものであり、メガセル等に該当する。

【0057】

ランダムロジック列 6 は、X 方向に規則的に配列された複数のベーシックセルにより構成されている。この複数のベーシックセルは、Y 方向において配線領域を介在させて複数配置されている。ベーシックセルは、ブロック内配線 4 x 及び 4 y の組み替えにより、インバータ回路、NAND 回路等の論理回路を構築可能な複数の半導体素子を備えている。

【0058】

[バッファセルの第 1 の基本構造]

次に、半導体集積回路の第 1 の基本構造において、グローバル信号配線である信号配線 4 a ~ 4 c 間に挿入される第 1 乃至第 3 のバッファセル 3 a ~ 3 c の具体的な構造を説明する。なお、半導体集積回路の第 2 の基本構造乃至第 4 の基本構造におけるバッファセル 3 0 a、3 1 a、3 2 a、3 a 等の構造は同様であるので、これらの説明は省略する。また、バッファセル 3 a 等の第 1 の基本構造乃至第 4 の基本構造の説明において、符号が煩雑になるので、バッファセルに総称の符号「3」を付け、簡略化して説明する。

【0059】

<回路構成>

第 1 の基本構造のバッファセル 3 は、図 6 (A) に示すように、信号入力端子 S 1 と信号出力端子 S 2 との間に電氣的に直列に接続された 2 段構成のインバータ回路 3 0 1 及び 3 0 2 により構成されている。

【0060】

インバータ回路 3 0 1 は、信号入力端子 S 1 に直接接続された前段回路である。このインバータ回路 3 0 1 は、n チャネル絶縁ゲート型電界効果トランジスタ（以下、単に IGFET という。）Q₁₁ と p チャネル IGFET Q₂₁ とを備えた相補型 IGFET である。ここで、IGFET とは、金属-酸化物-半導体電界効果トランジスタ (MOSFET) 及び金属-絶縁体-半導体電界効果トランジスタ (MISFET) を少なくとも含む意味で使用されている。n チャネル I G

FETQ₁₁は、ゲート電極を信号入力端子S₁に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFETQ₂₁のドレイン領域に接続している。基準電源V_{ss}は回路の接地電位、例えば0Vである。pチャネルIGFETQ₂₁は、ゲート電極を信号入力端子S₁に接続し、ソース領域を動作電源V_{dd}に接続している。動作電源V_{dd}は回路の動作電圧、例えば1.7V～3.3V、又は5Vである。

【0061】

インバータ回路302は、信号出力端子S₂に直接接続された後段回路（次段回路）である。このインバータ回路302は、インバータ回路301と同様に、nチャネルIGFETQ₁₂とpチャネルIGFETQ₂₂とを備えた相補型IGFETである。nチャネルIGFETQ₁₂は、ゲート電極をnチャネルIGFETQ₁₁及びpチャネルIGFETQ₂₁のドレイン領域に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFETQ₂₂のドレイン領域に接続している。pチャネルIGFETQ₂₂は、ゲート電極をnチャネルIGFETQ₁₁及びpチャネルIGFETQ₂₁のドレイン領域に接続し、ソース領域を動作電源V_{dd}に接続している。nチャネルIGFETQ₁₂及びpチャネルIGFETQ₂₂のドレイン領域は信号出力端子S₂に接続されている。

【0062】

<デバイス構成>

前述のバッファセル3は、例えば、図5に示すランダムロジック列6のベーシックセルを利用して構築されている。ここでは、バッファセル3のインバータ回路301についてのみ説明し、インバータ回路302はインバータ回路301と同様のデバイス構成であるので、その説明は省略する。

【0063】

インバータ回路301のnチャネルIGFETQ₁₁は、図6（B）に示すように、基板1上の素子間分離絶縁膜111に周囲を囲まれた領域内において、基板1表面部のp型ウエル領域101の主面部に配設されている。つまり、nチャネルIGFETQ₁₁は、チャンネル形成領域として使用されるp型ウエル領域101と、このp型ウエル領域101上の図示しないゲート絶縁膜と、ゲート絶縁膜上

のゲート電極 112 と、ゲート電極 112 のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対の n 型半導体領域 113 とを備えている。

【0064】

ここで、ゲート絶縁膜には、シリコン酸化膜、シリコン窒化膜若しくはオキシナイトライド膜の単層膜、又はそれらの複合膜を実用的に使用することができる。ゲート電極 112 には、シリコン多結晶膜、高融点金属膜若しくは高融点金属シリサイド膜の単層膜、又はシリコン多結晶膜上に高融点金属膜若しくは高融点金属シリサイド膜を積層した複合膜を実用的に使用することができる。n 型半導体領域 113 には、LDD (lightly doped drain) 構造を実用的に使用することができる。

【0065】

p チャネル IGFET Q₂₁ は、基板 1 上の素子間分離絶縁膜 111 に周囲を囲まれた領域内において、基板 1 表面部の n 型ウエル領域 102 の主面部に配設されている。つまり、p チャネル IGFET Q₂₁ は、チャンネル形成領域として使用される n 型ウエル領域 102 と、この n 型ウエル領域 102 上の図示しないゲート絶縁膜と、ゲート絶縁膜上のゲート電極 112 と、ゲート電極 112 のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対の p 型半導体領域 114 とを備えている。ゲート絶縁膜及びゲート電極の実用的な材料、並びに p 型半導体領域 114 の実用的な構造は n チャネル IGFET Q₁₁ と同様である。

【0066】

ランダムロジック列 6 においては、X 方向に延在するセル内基準電源配線 (V_{ss}) 401 及びセル内動作電源配線 (V_{dd}) 402 が配設されている。セル内基準電源配線 401 はセル内配線 403 を通して n チャネル IGFET Q₁₁ の n 型半導体領域 1 (ソース領域) 13 に接続されている。セル内動作電源配線 402 はセル内配線 403 を通して p チャネル IGFET Q₂₁ の p 型半導体領域 (ソース領域) 114 に接続されている。また、n チャネル IGFET Q₁₁、p チャネル IGFET Q₂₁ のそれぞれのゲート電極 112 はセル内配線 403 を通して信

号入力端子 S1 に接続され、ドレイン領域は次段のインバータ回路 302 に接続されている。セル内基準電源配線 401、セル内動作電源配線 402 及びセル内配線 403 は、第 1 の実施の形態において、第 1 層目の配線層に配設されており、例えばアルミニウム合金 (Al-Si、Al-Cu、Al-Cu-Si 等) により形成されている。

【0067】

[バッファセルの第 2 の基本構造]

第 2 の基本構造のバッファセル 3 は、第 1 の基本構造のバッファセル 3 の駆動力を 2 倍に増強したものである。

【0068】

<回路構成>

第 2 の基本構造のバッファセル 3 は、図 7 (A) に示すように、信号入力端子 S1 と信号出力端子 S2 との間に電氣的に直列に接続された 2 段構成のインバータ回路 301 及び 302 により構成されている。

【0069】

インバータ回路 301 は、信号入力端子 S1 に直接接続された前段回路である。このインバータ回路 301 は、n チャネル IGFET Q₁₁ 及び p チャネル IGFET Q₂₁ のドレイン領域と、n チャネル IGFET Q₁₂ 及び p チャネル IGFET Q₂₂ のドレイン領域とを電氣的に直列に接続した 2 段構造を備えている。n チャネル IGFET Q₁₁ 及び Q₁₂ は、ゲート電極を信号入力端子 S1 に接続し、ソース領域を基準電源 V_{SS} に接続し、ドレイン領域を p チャネル IGFET Q₂₁ 及び Q₂₂ のドレイン領域に接続している。p チャネル IGFET Q₂₁ 及び Q₂₂ は、ゲート電極を信号入力端子 S1 に接続し、ソース領域を動作電源 V_{dd} に接続している。

【0070】

インバータ回路 302 は、信号出力端子 S2 に直接接続された後段回路である。このインバータ回路 302 は、インバータ回路 301 と同様に、n チャネル IGFET Q₁₃ 及び p チャネル IGFET Q₂₃ のドレイン領域と、n チャネル IGFET Q₁₄ 及び p チャネル IGFET Q₂₄ のドレイン領域とを電氣的に直列に接

続した2段構造を備えている。nチャネルIGFETQ₁₃及びQ₁₄は、ゲート電極をインバータ回路301（IGFETQ₁₁、Q₁₂、Q₂₁及びQ₂₂のドレイン領域）に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFETQ₂₃及びQ₂₄のドレイン領域に接続している。pチャネルIGFETQ₂₃及びQ₂₄は、ゲート電極をインバータ回路301に接続し、ソース領域を動作電源V_{dd}に接続している。nチャネルIGFETQ₁₃、Q₁₄及びpチャネルIGFETQ₂₃、Q₂₄のドレイン領域は信号出力端子S2に接続されている。

【0071】

<デバイス構成>

ここでは、第1の基本構造のバッファセル3と同様に、バッファセル3のインバータ回路301についてのみ説明し、インバータ回路302の説明は省略する。

【0072】

インバータ回路301のnチャネルIGFETQ₁₁及びQ₁₂は、図7（B）に示すように、互いのゲート幅方向を一致させ、Y方向に向かって隣接して配設されている。nチャネルIGFETQ₁₁及びQ₁₂は、いずれも、基板1上の素子間分離絶縁膜111に周囲を囲まれた領域内において、基板1表面部のp型ウエル領域101の主面部に配設されている。つまり、nチャネルIGFETQ₁₁及びQ₁₂は、チャネル形成領域として使用されるp型ウエル領域101と、このp型ウエル領域101上の図示しないゲート絶縁膜と、ゲート絶縁膜上のゲート電極112と、ゲート電極112のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対のn型半導体領域113とを備えている。

【0073】

pチャネルIGFETQ₂₁及びQ₂₂は、互いのゲート幅方向を一致させ、かつnチャネルIGFETQ₁₁及びQ₁₂のゲート幅方向とも一致させ、Y方向に向かって隣接して配設されている。pチャネルIGFETQ₂₁及びQ₂₂は、いずれも基板1上の素子間分離絶縁膜111に周囲を囲まれた領域内において、基板1表面部のn型ウエル領域102の主面部に配設されている。つまり、pチャネルIGFETQ₂₁及びQ₂₂は、チャネル形成領域として使用されるn型ウエル領域1

02と、このn型ウェル領域102上の図示しないゲート絶縁膜と、ゲート絶縁膜上のゲート電極112と、ゲート電極112のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対のp型半導体領域114とを備えている。

【0074】

なお、nチャネルIGFET Q_{11} 、 Q_{12} 、pチャネルIGFET Q_{21} 及び Q_{22} のゲート絶縁膜及びゲート電極の実用的な材料、並びにn型半導体領域113及びp型半導体領域114の実用的な構造は第1の基本構造のnチャネルIGFET Q_{11} 及びpチャネルIGFET Q_{21} と同様である。また、セル内基準電源配線(V_{ss})401、セル内動作電源配線(V_{dd})402、セル内配線403は、その結線パターンが異なるだけで、第1の基本構造のセル内基準電源配線401等と同様である。

【0075】

[バッファセルの第3の基本構造]

第3の基本構造のバッファセル3は、第1の基本構造のバッファセル3の駆動力を3倍に増強したものである。

【0076】

<回路構成>

第3の基本構造のバッファセル3は、図8(A)に示すように、信号入力端子S1と信号出力端子S2との間に電氣的に直列に接続された2段構成のインバータ回路301及び302により構成されている。

【0077】

インバータ回路301は、信号入力端子S1に直接接続された前段回路であり、基本的には第2の基本構造のバッファセル3のインバータ回路301と同一構造である。すなわち、インバータ回路301は、nチャネルIGFET Q_{11} 及びpチャネルIGFET Q_{21} のドレイン領域と、nチャネルIGFET Q_{12} 及びpチャネルIGFET Q_{22} のドレイン領域とを電氣的に直列に接続した2段構造を備えている。nチャネルIGFET Q_{11} 及び Q_{12} は、ゲート電極を信号入力端子S1に接続し、ソース領域を基準電源 V_{ss} に接続し、ドレイン領域をpチャネル

IGFET Q₂₁及びQ₂₂のドレイン領域に接続している。pチャネルIGFET Q₂₁及びQ₂₂は、ゲート電極を信号入力端子S 1に接続し、ソース領域を動作電源V_{dd}に接続している。

【0078】

インバータ回路302は、信号出力端子S 2に直接接続された後段回路である。このインバータ回路302は、nチャネルIGFET Q₁₃及びpチャネルIGFET Q₂₃のドレイン領域と、nチャネルIGFET Q₁₄及びpチャネルIGFET Q₂₄のドレイン領域と、nチャネルIGFET Q₁₅及びpチャネルIGFET Q₂₅のドレイン領域とを電氣的に直列に接続した3段構造を備えている。nチャネルIGFET Q₁₃、Q₁₄及びQ₁₅は、ゲート電極をインバータ回路301（IGFET Q₁₁、Q₁₂、Q₂₁及びQ₂₂のドレイン領域）に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFET Q₂₃、Q₂₄及びQ₂₅のドレイン領域に接続している。pチャネルIGFET Q₂₃、Q₂₄及びQ₂₅は、ゲート電極をインバータ回路301に接続し、ソース領域を動作電源V_{dd}に接続している。nチャネルIGFET Q₁₃～Q₁₅及びpチャネルIGFET Q₂₃～Q₂₅のドレイン領域は信号出力端子S 2に接続されている。

【0079】

<デバイス構成>

バッファセル3のインバータ回路301の基本構造は第2の基本構造のバッファセル3のインバータ回路301及び302と同様であるので、ここではバッファセル3のインバータ回路302についてのみ説明し、インバータ回路301の説明は省略する。

【0080】

インバータ回路302のnチャネルIGFET Q₁₃、Q₁₄及びQ₁₅は、図8（B）に示すように、互いのゲート幅方向を一致させ、Y方向に向かって隣接して配設されている。nチャネルIGFET Q₁₃、Q₁₄及びQ₁₅は、いずれも、基板1上の素子間分離絶縁膜111に周囲を囲まれた領域内において、基板1表面部のp型ウエル領域101の主面部に配設されている。つまり、nチャネルIGFET Q₁₃、Q₁₄及びQ₁₅は、チャンネル形成領域として使用されるp型ウエル領域

101と、このp型ウエル領域101上の図示しないゲート絶縁膜と、ゲート絶縁膜上のゲート電極112と、ゲート電極112のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対のn型半導体領域113とを備えている。

【0081】

pチャネルIGFETQ₂₃、Q₂₄及びQ₂₅は、互いのゲート幅方向を一致させ、かつnチャネルIGFETQ₁₃、Q₁₄及びQ₁₅のゲート幅方向とも一致させ、Y方向に向かって隣接して配設されている。pチャネルIGFETQ₂₃、Q₂₄及びQ₂₅は、いずれも基板1上の素子間分離絶縁膜111に周囲を囲まれた領域内において、基板1表面部のn型ウエル領域102の主面部に配設されている。つまり、pチャネルIGFETQ₂₃、Q₂₄及びQ₂₅は、チャネル形成領域として使用されるn型ウエル領域102と、このn型ウエル領域102上の図示しないゲート絶縁膜と、ゲート絶縁膜上のゲート電極112と、ゲート電極112のゲート長方向の両側に配設された、ソース領域及びドレイン領域として使用される一対のp型半導体領域114とを備えている。

【0082】

なお、nチャネルIGFETQ₁₃、Q₁₄、Q₁₅、pチャネルIGFETQ₂₃、Q₂₄及びQ₂₅のゲート絶縁膜及びゲート電極の実用的な材料、並びにn型半導体領域113及びp型半導体領域114の実用的な構造は第1の基本構造のnチャネルIGFETQ₁₁及びpチャネルIGFETQ₂₁と同様である。また、セル内基準電源配線(V_{ss})401、セル内動作電源配線(V_{dd})402、セル内配線403は、その結線パターンが異なるだけで、第1の基本構造のセル内基準電源配線401等と同様である。

【0083】

[バッファセルの第4の基本構造]

第4の基本構造のバッファセル3は、第3の基本構造のバッファセル3において、インバータ回路301及び302の駆動力をいずれも3倍に増強したものである。

【0084】

＜回路構成＞

第4の基本構造のバッファセル3は、図9に示すように、信号入力端子S1と信号出力端子S2との間に電氣的に直列に接続された2段構成のインバータ回路301及び302により構成されている。

【0085】

インバータ回路301は、信号入力端子S1に直接接続された前段回路であり、基本的には第3の基本構造のバッファセル3のインバータ回路302と同一構造である。すなわち、インバータ回路301は、nチャネルIGFETQ₁₁及びpチャネルIGFETQ₂₁のドレイン領域と、nチャネルIGFETQ₁₂及びpチャネルIGFETQ₂₂のドレイン領域と、nチャネルIGFETQ₁₃及びpチャネルIGFETQ₂₃のドレイン領域とを電氣的に直列に接続した3段構造を備えている。nチャネルIGFETQ₁₁、Q₁₂及びQ₁₃は、ゲート電極を信号入力端子S1に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFETQ₂₁、Q₂₂及びQ₂₃のドレイン領域に接続している。pチャネルIGFETQ₂₁、Q₂₂及びQ₂₃は、ゲート電極を信号入力端子S1に接続し、ソース領域を動作電源V_{dd}に接続している。

【0086】

インバータ回路302は、基本的には第3の基本構造のバッファセル3のインバータ回路302と同一構造であり、信号出力端子S2に直接接続された後段回路である。このインバータ回路302は、nチャネルIGFETQ₁₄及びpチャネルIGFETQ₂₄のドレイン領域と、nチャネルIGFETQ₁₅及びpチャネルIGFETQ₂₅のドレイン領域と、nチャネルIGFETQ₁₆及びpチャネルIGFETQ₂₆のドレイン領域とを電氣的に直列に接続した3段構造を備えている。nチャネルIGFETQ₁₄、Q₁₅及びQ₁₆は、ゲート電極をインバータ回路301（IGFETQ₁₁、Q₁₂、Q₁₃、Q₂₁、Q₂₂及びQ₂₃のドレイン領域）に接続し、ソース領域を基準電源V_{ss}に接続し、ドレイン領域をpチャネルIGFETQ₂₄、Q₂₅及びQ₂₆のドレイン領域に接続している。pチャネルIGFETQ₂₄、Q₂₅及びQ₂₆は、ゲート電極をインバータ回路301に接続し、ソース領域を動作電源V_{dd}に接続している。nチャネルIGFETQ₁₄～Q₁₆及びpチャ

ネル IGFETQ₂₄～Q₂₆のドレイン領域は信号出力端子 S₂ に接続されている。
。

【0087】

＜デバイス構成＞

バッファセル 3 のインバータ回路 301 及び 302 の基本構造は第 3 の基本構造のバッファセル 3 のインバータ回路 302 と同様であるので、ここでのデバイス構造の説明は省略する。

【0088】

[バッファセルのその他の基本構造]

前述のように、バッファセル 3 の構造は適宜変更可能である。例えば、グローバル信号配線が比較的長く、配線負荷が大きい場合には、バッファセル 3 の少なくともインバータ回路 302 を 4 段構造又はそれ以上の段数により構築可能である。また、駆動能力を増強する場合、インバータ回路 302 の少なくとも最終出力段の IGFETQ のゲート幅寸法をそれ以外の IGFETQ のゲート幅寸法に比べて長くしてもよい。

【0089】

[信号配線の第 1 の配置レイアウト例]

次に、半導体集積回路 10 において、グローバル信号配線の第 1 の配置レイアウト例を図 10 に示す。ここでは、説明を簡略化するために、便宜的に 2 本のグローバル信号配線 4A 及び 4B が配置された例について説明する。

【0090】

半導体集積回路 10 の基板 1 上には複数の機能ブロック 23、24 等が配置されている。図 10 中、基板 1 の左辺に配置された入出力バッファセル 5A から引き出されるグローバル信号配線 4A は、機能ブロック 23 上を斜めに通過し、基板 1 の右辺近傍まで広範囲に渡って延在する。機能ブロック 23 上を通過するグローバル信号配線 4A の一部の信号配線 4a は、機能ブロック 23 の第 1 の辺 2a 及び第 2 の辺 2b に対して斜めに配置されている。機能ブロック 23 の第 1 の辺 2a の近傍にはバッファセル 3a が配設され、第 2 の辺 2b の近傍にはバッファセル 3b が配設されている。バッファセル 3a には信号配線 4a の一端が電気

的に接続され、バッファセル 3 b には信号配線 4 a の他端が電氣的に接続される。

【0091】

同様に、基板 1 の左辺に配置された入出力バッファセル 5 B から引き出されるグローバル信号配線 4 B は、機能ブロック 2 4 上を斜めに通過し、基板 1 の右辺近傍まで広範囲に渡って延在する。機能ブロック 2 4 上を通過するグローバル信号配線 4 B の一部の信号配線 4 a は、機能ブロック 2 4 の第 1 の辺 2 a 及び第 2 の辺 2 b に対して斜めに配置されている。機能ブロック 2 4 の第 1 の辺 2 a の近傍にはバッファセル 3 a が配設され、第 2 の辺 2 b の近傍にはバッファセル 3 b が配設されている。バッファセル 3 a には信号配線 4 a の一端が電氣的に接続され、バッファセル 3 b には信号配線 4 a の他端が電氣的に接続される。

【0092】

このようなグローバル信号配線の第 1 の配置レイアウトを備えた半導体集積回路 10 においては、機能ブロック 2 3 上及び 2 4 上を斜めに通過する信号配線 4 a により、グローバル信号配線 4 A 及び 4 B の配線長を短縮し、かつ配線負荷容量を減少することができる。さらに、配線負荷容量の減少に伴い、相対的にバッファセル 3 a の駆動力を増強することができる。従って、グローバル信号配線 4 A の機能ブロック 2 3 の迂回頻度を減少し、又グローバル信号配線 4 B の機能ブロック 2 4 の迂回頻度を減少し、信号遅延を防止することができるので、高集積化に最適で、動作性能に優れた半導体集積回路 10 を得ることができる。

【0093】

[信号配線の第 2 の配置レイアウト例]

次に、半導体集積回路 10 において、グローバル信号配線の第 2 の配置レイアウト例を図 11 に示す。第 2 の配置レイアウトは、機能ブロック間の信号配線のホットスポットを緩和、若しくは分散する例を説明するものである。なお、第 2 の配置レイアウトは、単にグローバル信号配線にのみ限定されるものではなく、機能ブロック間に配置される信号配線や電源配線の配置レイアウトにも適用することができる。

【0094】

半導体集積回路 10 においては、基板 1 上の左下に機能ブロック 25、左上に機能ブロック 26、右上に機能ブロック 27、右下に機能ブロック 28 が配置されている。なお、ここでは、便宜的に 4 つの機能ブロック 25～28 が配置された場合を説明するが、機能ブロックの配置数はこれに限定されるものでない。

【0095】

機能ブロック 25 は、機能ブロック 25 から見て右斜め上に配置された機能ブロック 27 に、信号配線 4C 及び 4D を通して所定信号を出力するようになっている。信号配線 4C は、機能ブロック 25 から右側（X 方向）に引き出され、機能ブロック 25 から見て右側に配置された機能ブロック 28 上を斜めに通過し、そして上側（Y 方向）に延在して機能ブロック 27 に接続されている。機能ブロック 28 の第 1 の辺 2a にはバッファセル 30a が配置され、第 2 の辺 2b にはバッファセル 30b が配置される。信号配線 4C の機能ブロック 28 上を通過する一部の信号配線 40a は、バッファセル 30a に一端を接続し、バッファセル 30b に他端を接続している。同様に、信号配線 4D は、機能ブロック 25 から右側に引き出され、機能ブロック 28 上を斜めに通過し、そして上側に延在して機能ブロック 27 に接続されている。機能ブロック 28 の第 1 の辺 2a にはバッファセル 31a が配置され、第 2 の辺 2b にはバッファセル 31b が配置される。信号配線 4D の機能ブロック 28 上を通過する一部の信号配線 41a は、バッファセル 31a に一端を接続し、バッファセル 31b に他端を接続している。

【0096】

また、機能ブロック 27 は、機能ブロック 25 に、信号配線 4E、4F、4G 及び 4H を通して所定信号を出力するようになっている。信号配線 4E 及び 4F は、4 つの機能ブロック 25～28 間、すなわち信号配線が過密になり易いホットスポットを通過する。

【0097】

信号配線 4G は、機能ブロック 27 から左側（X 方向）に引き出され、機能ブロック 27 から見て左側に配置された機能ブロック 26 上を斜めに通過し、そして下側（Y 方向）に延在して機能ブロック 25 に接続されている。機能ブロック 26 の第 3 の辺 2c にはバッファセル 30a が配置され、第 4 の辺 2d にはバッ

ファセル 30 b が配置される。信号配線 4 G の機能ブロック 26 上を通過する一部の信号配線 40 a は、バッファセル 30 a に一端を接続し、バッファセル 30 b に他端を接続している。同様に、信号配線 4 H は、機能ブロック 27 から左側に引き出され、機能ブロック 26 上を斜めに通過し、そして下側に延在して機能ブロック 25 に接続されている。機能ブロック 28 の第 3 の辺 2 c にはバッファセル 31 a が配置され、第 4 の辺 2 d にはバッファセル 31 b が配置される。信号配線 4 H の機能ブロック 26 上を通過する一部の信号配線 41 a は、バッファセル 31 a に一端を接続し、バッファセル 31 b に他端を接続している。

【0098】

機能ブロック 25 と機能ブロック 25 から見て上側に配置された機能ブロック 26 との間は、直接、信号配線 4 I 及び 4 J を通して接続されている。ここで、信号配線 4 I 及び 4 J の配線長が信号配線 4 E、4 F 等の配線長に比べて短く、機能ブロック 25 又は 26 の最終出力段回路の駆動能力が充分である場合には、信号配線 4 I 及び 4 J 中にバッファセル 3 を配置する必要がない。

【0099】

さらに、機能ブロック 26 は、機能ブロック 26 から見て右斜め下に配置された機能ブロック 28 に、信号配線 4 K、4 L 及び 4 M を通して所定信号を出力するようになっている。信号配線 4 K は、機能ブロック 26 から右側（X 方向）に引き出され、機能ブロック 26 から見て右側に配置された機能ブロック 27 上を斜めに通過し、そして下側（Y 方向）に延在して機能ブロック 28 に接続されている。機能ブロック 27 の第 1 の辺 2 a にはバッファセル 30 a が配置され、第 4 の辺 2 d にはバッファセル 30 b が配置される。信号配線 4 K の機能ブロック 27 上を通過する一部の信号配線 40 a は、バッファセル 30 a に一端を接続し、バッファセル 30 b に他端を接続している。同様に、信号配線 4 L は、機能ブロック 26 から右側に引き出され、機能ブロック 27 上を斜めに通過し、そして下側に延在して機能ブロック 28 に接続されている。機能ブロック 27 の第 1 の辺 2 a にはバッファセル 31 a が配置され、第 4 の辺 2 d にはバッファセル 31 b が配置される。信号配線 4 L の機能ブロック 27 上を通過する一部の信号配線 41 a は、バッファセル 31 a に一端を接続し、バッファセル 31 b に他端を接

続している。信号配線 4 M は、機能ブロック 26 から右側に引き出され、機能ブロック 27 上を斜めに通過し、そして下側に延在して機能ブロック 28 に接続されている。機能ブロック 27 の第 1 の辺 2 a にはバッファセル 32 a が配置され、第 4 の辺 2 d にはバッファセル 32 b が配置される。信号配線 4 M の機能ブロック 27 上を通過する一部の信号配線 42 a は、バッファセル 32 a に一端を接続し、バッファセル 32 b に他端を接続している。

【0100】

このように構成される第 1 の実施の形態に係る半導体集積回路 10 においては、信号配線 4 C 及び 4 D の一部の信号配線 40 a 及び 41 a を機能ブロック 28 上を斜めに通過させ、信号配線 4 G 及び 4 H の一部の信号配線 40 a 及び 41 a を機能ブロック 26 上を斜めに通過させ、信号配線 4 K、4 L 及び 4 M の一部の信号配線 40 a、41 a 及び 42 a を機能ブロック 27 上を斜めに通過させているので、機能ブロック 25～28 間の信号配線のホットスポットを緩和し若しくは分散させることができる。

【0101】

さらに、半導体集積回路 10 においては、ホットスポットを分散しつつ、機能ブロック 25～28 の外周囲に引き回す迂回信号配線を減少することができるので、信号伝達速度の遅延を抑制し、回路動作速度の高速化を実現することができる。

【0102】

さらに、半導体集積回路 10 においては、ホットスポットの分散により、信号配線の配置領域を有効に利用することができるので、集積度を向上することができる。

【0103】

[信号配線の第 3 の配置レイアウト例]

次に、半導体集積回路 10 において、グローバル信号配線の第 3 の配置レイアウト例を図 12 に示す。第 3 の配置レイアウトは、配線長の制約が許容される限り、多種類のグローバル信号配線を 1 つの機能ブロック上に斜めに通過させる例を説明するものである。なお、第 3 の配置レイアウトは、第 2 の配置レイアウト

と同様に、単にグローバル信号配線にのみ限定されるものではなく、信号配線や電源配線の配置レイアウトにも適用することができる。

【0104】

図12に示す半導体集積回路10においては、基板1上の左上角部に機能ブロック2が配置され、この機能ブロック2の第1の辺（左辺）2a及び第2の辺（上辺）2bに沿って入出力バッファセル5が配設されている。

【0105】

上辺に配設された入出力バッファセル5Cには、下側に引き出され、機能ブロック2上を左上から右下に斜めに通過し、右側に延在する信号配線4O及び4Pが接続されている。機能ブロック2内部の論理回路の出力段（特に図示しない。）に比べて、通常、入出力バッファセル5Cの出力段回路の駆動能力は高いので、入出力バッファセル5Cから直接機能ブロック2上を通過する場合、機能ブロック2の第2の辺2bの近傍には特にバッファセル3は必要としない。機能ブロック2上を通過する、信号配線4Oの信号配線40aは、第2の辺2bから第3の辺2cに向かって斜めに配置され、バッファセル30aに接続されている。同様に、機能ブロック2上を通過する、信号配線4Pの信号配線41aは、第2の辺2bから第3の辺2cに向かって斜めに配置され、バッファセル31aに接続されている。

【0106】

一方、左辺に配設された入出力バッファセル5Dには、右側に引き出され、同一の機能ブロック2上を左上から右下に斜めに通過し、下側に延在する信号配線4Q、4R及び4Sが接続されている。機能ブロック2の第1の辺2aの近傍には特にバッファセル3は必要としない。機能ブロック2上を通過する、信号配線4Qの信号配線40aは、第1の辺2aから第4の辺2dに向かって斜めに配置され、バッファセル30aに接続されている。同様に、機能ブロック2上を通過する、信号配線4Rの信号配線41aは、第1の辺2aから第4の辺2dに向かって斜めに配置され、バッファセル31aに接続されている。機能ブロック2上を通過する、信号配線4Sの信号配線42aは、第1の辺2aから第4の辺2dに向かって斜めに配置され、バッファセル32aに接続されている。

【0107】

なお、図12中、上辺に配設された入出力バッファセル5Fから信号配線（又はグローバル信号配線）4Tが右側に向かって引き出され、左辺に配設された入出力バッファセル5Eから信号配線（又はグローバル信号配線）4Uが下側に向かって引き出されている。これらの信号配線4T及び4Uは、直交配線であり、配線長の制約を確保するために、逆に機能ブロック2上を斜めに通過させていない。

【0108】

このように構成される第1の実施の形態に係る半導体集積回路10においては、第2の配置レイアウトと同様の効果を得ることができるとともに、機能ブロック2の左上角部を斜めに通過する信号配線4O及び4Pと、左下角部を斜めに通過する信号配線4Q、4R及び4Sとを含む複数種類のグローバル信号配線を配設することができる。

【0109】

[半導体集積回路の製造方法]

次に、半導体集積回路10の製造方法、特にCADシステムを利用したグローバル信号配線の製造方法を含む半導体集積回路10の製造方法を図13及び図14を用いて説明する。

【0110】

(1) まず最初に、図13に示すように、CADシステムにおいて、半導体集積回路の設計に必要な各種情報をデータベースから入手し、インプットファイルを作成する(S10)。

【0111】

(2) 入手された情報に基づき、メモリ空間に予め準備された仮想的な基板1（図5に示す半導体集積回路10のレイアウトを参照。）上に機能ブロック2を配置する。ここで、機能ブロックには、前述のように、少なくともメガセルが含まれる。

【0112】

(3) 基板1上の機能ブロック2が配置されていない領域をランダムロジック列

6として使用し、このランダムロジック列6に論理回路を配置する（S12）。

【0113】

（4）基板1上において、クロック信号配線を配置する（S13）。クロック信号配線は、システム動作速度の高速化を図るため、電源配線、信号配線の配置に先駆けて配置される。クロック信号配線は、その配置レイアウトに拘束されにくい、最上層の配線層を利用して配置されることが実用的である。

【0114】

（5）基板1上において、電源配線を配置する（S14）。電源配線は、通常、回路基準電源例えば0Vを供給する基準電源配線 V_{ss} と、回路動作電源例えば3.3V～5Vを供給する動作電源配線 V_{dd} とを1組として配置される。電源配線は、入出力バッファセル5上においては、基板1の外縁に沿って延在する固定パターンとして、例えば第2層目の配線層に配置される。また、電源配線は、ランダムロジック列6上においては、ベーシックセルの配列方向に沿って、例えば第2層目の配線層に配置される。さらに、電源配線は、基板1上の機能ブロック2上及びランダムロジック列6上を含む広範囲の領域においては、クロック信号配線よりも下層であって、比較的上層の配線層に配置される。

【0115】

（6）次に、グローバル信号配線を配置する（S15）。グローバル信号配線の配置は、通常のX方向又はY方向に沿って配置される直交信号配線の配置と、斜め信号配線4の配置と、バッファセル3の配置とを少なくとも含むグローバル信号配線経路の設計から開始される（S16）。

【0116】

図14に示すように、まずグローバル信号配線の経路領域内において、信号損失が最小となる機能ブロック2を抽出する（S160）。そして、最小損失となる機能ブロック2が存在するか否かが判定される（S161）。最小損失の機能ブロック2が存在しない場合には、このグローバル信号経路の設計が終了する（S162）。

【0117】

最小損失の機能ブロック2が存在する場合には、この最小損失の機能ブロック

2の周囲に存在する任意の1つの機能ブロック2が抽出される(S163)。この任意の機能ブロック2の信号損失は最小損失よりも大きい。任意の機能ブロック2が存在しない場合には、再度、最小損失となる機能ブロック2が抽出される(S160)。

【0118】

任意の機能ブロック2が存在する場合には、この機能ブロック2の周囲に直交信号配線を配置することによる、又は機能ブロック2上を通過する斜め信号配線を配置することによる信号損失の増加分をCADシステムに追加する(S165)。そして、バッファセル3を配置しない場合において、直交信号配線又は斜め信号配線が信号経路長の制約を越えているか否かが判定される(S166)。信号経路長の制約を越えている場合には、再度、最小損失となる機能ブロック2が抽出される(S160)。

【0119】

信号経路長の制約を超えていない場合には、直交信号配線又は斜め信号配線において、信号立ち上がり/立ち下り時間が目的とする設計許容範囲内であるか否か、すなわちタイミング不良を生じないか生じるかが判定される(S167)。設計許容範囲内であって、タイミング不良を生じない場合には、信号配線の経路が確定され、このグローバル信号経路の設計が終了する(S168)。

【0120】

設計許容範囲外であって、タイミング不良を生じる場合には、バッファセル3が配置可能か否かが判定される(S169)。バッファセル3が配置可能であれば、設計中(検索中)の信号配線の経路において、バッファセル3の配置位置の最終点としてCADシステムに記憶され、同時にこのグローバル信号配線経路の設計がリセットされる(S170)。そして、再度、任意の1つの機能ブロック2が抽出され(S163)、同様の処理が、任意の1つの機能ブロック2を抽出できなくなるまで繰り返し実行される。

【0121】

一方、バッファセル3が配置不可能な場合には、直交信号配線又は斜め信号配線を設計中の信号配線の経路長に追加する(S171)。そして、再度、任意の

1つの機能ブロック2が抽出され(S163)、同様の処理が繰り返し実行される。

【0122】

CADシステムに記憶されたバッファセル3の配置位置の情報に基づき、図13に示すように、グローバル信号配線の経路にバッファセル3を追加配置する(S17)。

【0123】

引き続き、グローバル信号配線の設計に基づき作成された、斜め信号配線を有するグローバル信号配線の経路指定を行う(S18)。このグローバル信号配線の最終経路を指定し(S19)、そしてグローバル信号配線が配置される。

【0124】

(7) 配置が完了したグローバル信号配線において、タイミング不良等、電気的特性が検証される(S20)。

【0125】

(8) 検証の結果、不具合がない場合には、機能ブロック2の配置情報、ランダムロジック列6の配置情報、クロック信号配線の配置情報、電源配線の配置情報、グローバル信号配線の配置情報等がCADシステムの各種データベースに出力される(S21)。

【0126】

(9) 以上のCADシステムにおいて製作され、データベースに記憶された情報に基づき、半導体集積回路10の製造用マスク(レチクル)が製作される。

【0127】

(10) そして、製造用マスクを使用し、実際の基板1に、フォトリソグラフィプロセス、エッチングプロセス、成膜プロセス等の各種製造処理を実行することにより、第1の実施の形態に係る半導体集積回路10を完成させることができる。

【0128】

以上説明した第1の実施の形態に係る半導体集積回路10の製造方法においては、CADシステムを利用して、機能ブロック2を斜めに通過するグローバル信

号配線及びバッファセル 3 を簡易に構築することができるので、半導体集積回路 10 の開発から製品の完成までに要する時間を短縮することができる。

【0129】

(第 2 の実施の形態)

本発明の第 2 の実施の形態は、第 1 の実施の形態に係る半導体集積回路 10 の機能ブロック 2 内部にバッファセル 3 を備え、機能ブロック 2 上を斜めに通過するグローバル信号配線 4 を備えた例を説明するものである。

【0130】

図 15 に示すように、第 2 の実施の形態に係る半導体集積回路 10 は、基板 1 上の機能ブロック 2 と、機能ブロック 2 内部に所定間隔において規則的に配列された複数のバッファセル 3 (3₁₁～3₃₅) と、機能ブロック 2 の辺に対して少なくとも一部が斜めに延在し、隣接するバッファセル 3 間を接続するグローバル信号配線 4 とを備えている。

【0131】

バッファセル 3 は、機能ブロック 2 内部に予め配設されており (埋め込まれており)、グローバル信号配線 4 を通過させる必要に応じて適宜使用されるようになっている。図 15 においては、バッファセル 3 の配列レイアウトを理解し易く説明するために、便宜的に破線を付加しているが、実際の製品となる半導体集積回路 10 の機能ブロック 2 上に破線は存在しない。CAD システムのモニタ画面上には、設計を容易に行うために、グリッドとしての破線を表示することはできる。第 2 の実施の形態において、バッファセル 3 は X 方向及び Y 方向に等間隔に配列されている。換言すれば、X 方向及び Y 方向にそれぞれ等間隔で配列した破線の交差点 (格子点) に、又は破線で区画される正方形の各角部に、バッファセル 3 が配置されている。

【0132】

さらに、第 2 の実施の形態に係るバッファセル 3 は、互いに駆動能力が異なる第 1 のバッファセル 3 A と第 2 のバッファセル 3 B とを 1 組として備えている。ここで、第 1 のバッファセル 3 A は、例えば図 6 (A) に示す、1 段構造の出力段インバータ回路 302 を有するバッファセル 3 により構成される。また、第 2

のバッファセル 3 B は、例えば図 7 (A) に示す、2 段構造の出力段インバータ回路 302 を有するバッファセル 3 により構成される。つまり、第 1 のバッファセル 3 A に対して、第 2 のバッファセル 3 B の駆動能力の設定が大きくなっている。

【0133】

なお、第 1 のバッファセル 3 A は図 7 (A) 若しくは図 8 (A) に示すバッファセル 3 により構成し、第 2 のバッファセル 3 B は図 8 (A) 若しくは図 9 に示すバッファセル 3 により構成してもよい。さらに、第 1 のバッファセル 3 A と第 2 のバッファセル 3 B とを、出力段インバータ回路 302 の段数は同一とし、インバータ回路 302 の IGFETQ のゲート幅寸法を変えて駆動能力を調整するようにしてもよい。

【0134】

図 15 に示すように、グローバル信号配線 4 は、機能ブロック 2 の第 2 の辺（上辺）2a に配設された入力信号端子 S3 からバッファセル 311、322、333、335 のそれぞれを通して第 4 の辺（下辺）2d に配設された出力信号端子 S4 に接続されている。すなわち、グローバル信号配線 4 は、入力信号端子 S3 から Y 方向において下方に延在し、バッファセル 311 にまず接続される。このバッファセル 311 においては、次段のバッファセル 322 との間の距離が比較的短く、大きな駆動能力を必要としないので、第 1 のバッファセル 3 A が使用されている。そして、グローバル信号配線 4 は、バッファセル 311 から 45 度の傾斜角度を持った斜め信号配線として右斜め下方に延在し、バッファセル 322 に接続される。このバッファセル 322 においては、次段のバッファセル 333 との間の距離が比較的短く、大きな駆動能力を必要としないので、第 1 のバッファセル 3 A が使用されている。同様に、グローバル信号配線 4 は、バッファセル 322 から 45 度の傾斜角度を持った信号配線として右斜め下方に延在し、バッファセル 333 に接続される。このバッファセル 333 においては、次段のバッファセル 335 との間の距離が比較的長く、大きな駆動能力を必要とするので、第 2 のバッファセル 3 B が使用されている。さらに、グローバル信号配線 4 は、バッファセル 333 から Y 方向において下方に延在し、バッファセル 335 に接続される。このバッファセル 335 に

においては、出力信号端子 S 4 を通して機能ブロック 2 の外部の回路を駆動するので、大きな駆動能力を必要とし、第 2 のバッファセル 3 B が使用されている。そして、グローバル信号配線 4 は、バッファセル 3₃₅ から Y 方向において下方に延在し、信号出力端子 S 4 に接続される。

【0135】

このように構成される第 2 の実施の形態に係る半導体集積回路 10 においては、機能ブロック 2 内部に複数のバッファセル 3 を規則的配列し、バッファセル 3 を中継バッファセルのように使用することにより、配線長の制限を越えるような巨大サイズの機能ブロック 2 上においてグローバル信号配線 4 を通過させることができる。

【0136】

さらに、バッファセル 3 を規則的に配列したことにより、機能ブロック 2 上を通過するグローバル信号配線 4 の経路を簡易に予測することができる。従って、機能ブロック 2 を通過するグローバル信号配線 4 の経路に電気シールド層を予め配設することにより、機能ブロック 2 とその上を通過するグローバル信号配線 4 との間の電氣的干渉を最小限に抑制することができる。

【0137】

さらに、機能ブロック 2 内部のバッファセル 3 間の接続に少なくとも 1 つ以上の斜め信号配線を備えることにより、機能ブロック 2 内部の迂回配線を減少し、グローバル信号配線 4 の経路長を短縮することができる。

【0138】

なお、第 2 の実施の形態において、機能ブロック 2 内部のバッファセル 3 は、便宜的に付加した破線により区画された正方形の各角部に配列される場合に限らず、三角形、六角形等の各角部に相当する位置に配列してもよい。また、バッファセル 3 は、第 1 のバッファセル 3 A 及び第 2 のバッファセル 3 B の 2 個に限定されるものではなく、3 個以上のバッファセルを 1 つのバッファセル 3 として配置してもよい。

【0139】

(第 3 の実施の形態)

本発明の第 3 の実施の形態は、前述の第 1 の実施の形態に係る半導体集積回路 1 0 において、機能ブロック 2 上を通過する複数本のグローバル信号配線間のクロストークを防止した例を説明するものである。

【 0 1 4 0 】

図 1 6 に示すように、本発明の第 3 の実施の形態に係る半導体集積回路 1 0 は、機能ブロック 2 上を斜めに通過する信号配線 4 0 a 及び 4 0 b に隣接しかつ実質的に平行に延在し、固定電源が供給されるウェーブガイド 4 1 0 及び 4 1 1 を備える。さらに、半導体集積回路 1 0 は、機能ブロック 2 上を斜めに通過する信号配線 4 1 a 及び 4 1 b に隣接しかつ実質的に平行に延在し、固定電源が供給されるウェーブガイド 4 1 1 及び 4 1 2 を備えている。

【 0 1 4 1 】

信号配線 4 0 a 及び 4 0 b と信号配線 4 1 a 及び 4 1 b とは、グローバル信号配線であり、例えばデータバスを構築する。信号配線 4 0 a 及び 4 0 b の一方の側面（図中、下側）にウェーブガイド 4 1 0 を延在させ、他方の側面（図中、上側）にウェーブガイド 4 1 1 を延在させることにより、ウェーブガイド 4 1 0 と 4 1 1 との間に信号配線 4 0 a 及び 4 0 b を挟み込むようなレイアウトになっている。同様に、信号配線 4 1 a 及び 4 1 b の一方の側面（図中、下側）にウェーブガイド 4 1 1 を延在させ、他方の側面（図中、上側）にウェーブガイド 4 1 2 を延在させることにより、ウェーブガイド 4 1 1 と 4 1 2 との間に信号配線 4 1 a 及び 4 1 b を挟み込むようなレイアウトになっている。

【 0 1 4 2 】

信号配線 4 0 a、4 1 a とこれらに沿って延在するウェーブガイド 4 1 0 ～ 4 1 2 とは、信号配線 4 0 a と 4 1 a との間の電氣的な干渉を減少するために、同一配線層に設定されている。そして、占有面積を最小限に抑えるために、ウェーブガイド 4 1 0 ～ 4 1 2 の配線幅は、配線膜厚を越えないことが好ましい。同様に、信号配線 4 0 b、4 1 b とこれらに沿って延在するウェーブガイド 4 1 0 ～ 4 1 2 とは同一配線層に設定されている。信号配線 4 0 a 及び 4 1 a と信号配線 4 0 b 及び 4 1 b とは基本的に異なる配線層に配置されている。

【 0 1 4 3 】

なお、CADシステムのデータベース上において、ウェーブガイド410～412は、グローバル信号配線のデータに最初から組み込まれるようになっている。すなわち、グローバル信号配線を設計した後に改めてウェーブガイド410～412を設計するのではなく、グローバル信号配線を設計すれば同時にウェーブガイド410～412も設計できるようになっている。ウェーブガイド410～412には、例えば回路基準電位 V_{SS} である0Vを供給することが実用的である。

【0144】

このように構成される第3の実施の形態に係る半導体集積回路10においては、信号配線40a及び40bと信号配線41a及び41bとの間に少なくともウェーブガイド411を配設したので、双方の間の電氣的な干渉つまりクロストークの発生を減少することができる。

【0145】

(その他の実施の形態)

本発明は上記複数の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0146】

例えば、上記実施の形態に係る半導体集積回路10は、シリコン単結晶からなる基板（半導体ウェハ、半導体チップ等）1上に機能ブロック2を配設し、この機能ブロック2上を通過するグローバル信号配線について説明したが、本発明は、上記のような半導体集積回路10を1つの機能ブロック2と見立てて配線基板上に搭載し、この配線基板上をグローバル信号配線が延在する半導体集積回路（システムボード、マザーボード、ロジックボード、メモリボード等）に適用することができる。ここで、配線基板には、プリント配線基板（PCB）、セラミックス基板、炭化シリコン基板、ガラス基板等を実用的に使用することができる。

【0147】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請

求の範囲に係る発明特定事項によってのみ定められるものである。

【0148】

【発明の効果】

本発明によれば、機能ブロックを迂回する信号配線を減少し、信号遅延を防止することができるので、高集積化に最適で、動作性能に優れた半導体集積回路を提供することができる。

【0149】

さらに、本発明は、上記効果を得ることができる半導体集積回路の製造方法を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る半導体集積回路の第1の基本構造を示す模式図である。

【図2】

第1の実施の形態に係る半導体集積回路の第2の基本構造を示す模式図である。

【図3】

第1の実施の形態に係る半導体集積回路の第3の基本構造を示す模式図である。

【図4】

第1の実施の形態に係る半導体集積回路の第4の基本構造を示す模式図である。

【図5】

第1の実施の形態に係る半導体集積回路の具体的なレイアウト構造を示す平面図である。

【図6】

(A) は第1の実施の形態に係る半導体集積回路の第1の基本構造のバッファセルの回路図、(B) は第1の基本構造のバッファセルの要部平面図である。

【図7】

(A) は第1の実施の形態に係る半導体集積回路の第2の基本構造のバッファセルの回路図、(B) は第2の基本構造のバッファセルの要部平面図である。

【図 8】

(A) は第 1 の実施の形態に係る半導体集積回路の第 3 の基本構造のバッファセルの回路図、(B) は第 3 の基本構造のバッファセルの要部平面図である。

【図 9】

第 1 の実施の形態に係る半導体集積回路の第 4 の基本構造のバッファセルの回路図である。

【図 10】

第 1 の実施の形態に係る半導体集積回路の、信号配線の第 1 のレイアウト例を示す概略平面図である。

【図 11】

第 1 の実施の形態に係る半導体集積回路の、信号配線の第 2 のレイアウト例を示す概略平面図である。

【図 12】

第 1 の実施の形態に係る半導体集積回路の、信号配線の第 3 のレイアウト例を示す概略平面図である。

【図 13】

第 1 の実施の形態に係る半導体集積回路の製造方法の全体を説明するフローチャートである。

【図 14】

第 1 の実施の形態に係る半導体集積回路の製造方法の要部を説明するフローチャートである。

【図 15】

本発明の第 2 の実施の形態に係る半導体集積回路の機能ブロックの概略構成図である。

【図 16】

本発明の第 3 の実施の形態に係る半導体集積回路の基本構造を示す模式図である。

【符号の説明】**1 基板**

2, 2 0 ~ 2 8 機能ブロック

2 a 第 1 の辺

2 b 第 2 の辺

2 c 第 3 の辺

2 d 第 4 の辺

3, 3 a ~ 3 d, 3 1 1 ~ 3 3 5 バッファセル

3 0 a ~ 3 0 d, 3 1 a ~ 3 1 d, 3 2 a ~ 3 2 d バッファセル

3 A 第 1 のバッファセル

3 B 第 2 のバッファセル

3 0 1, 3 0 2 インバータ回路

4, 4 A ~ 4 S グローバル信号配線又は信号配線

4 a ~ 4 c 信号配線

4 x, 4 y ブロック内配線

4 0 a ~ 3 0 c, 4 1 a ~ 4 1 c, 4 2 a ~ 4 2 c 信号配線

5 入出力バッファセル

6 ランダムロジック列

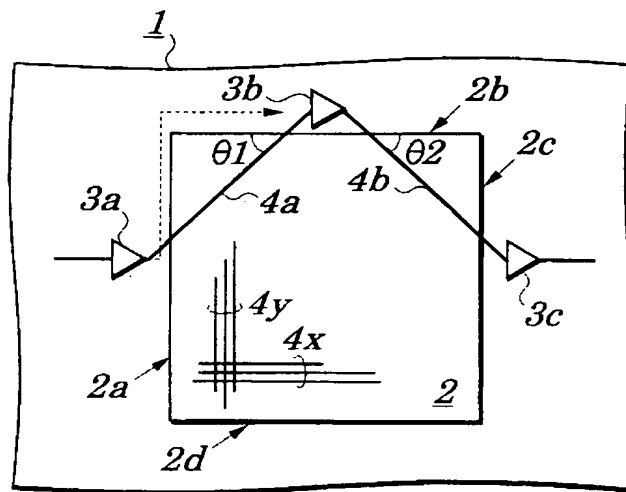
1 0 半導体集積回路

4 1 0 ~ 4 1 2 ウェーブガイド

Q 1 1 ~ Q 1 6, Q 2 1 ~ Q 2 6 I G F E T

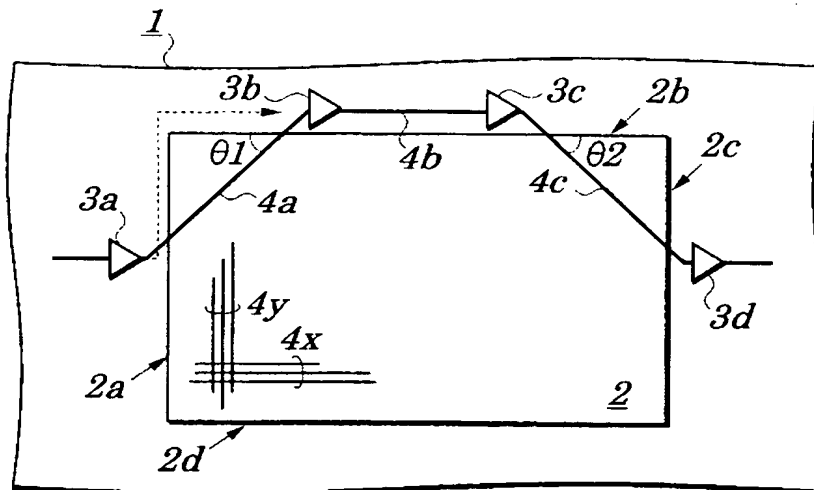
【書類名】 図面

【図 1】



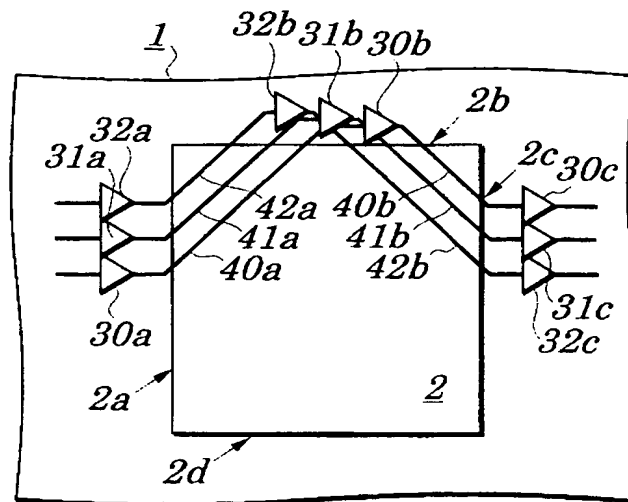
1 基板
 2 機能ブロック
 2a 第1の辺 2b 第2の辺
 2c 第3の辺 2d 第4の辺
 3a-3c バッファセル
 4a, 4b 信号配線 (グローバル信号配線)

【図 2】



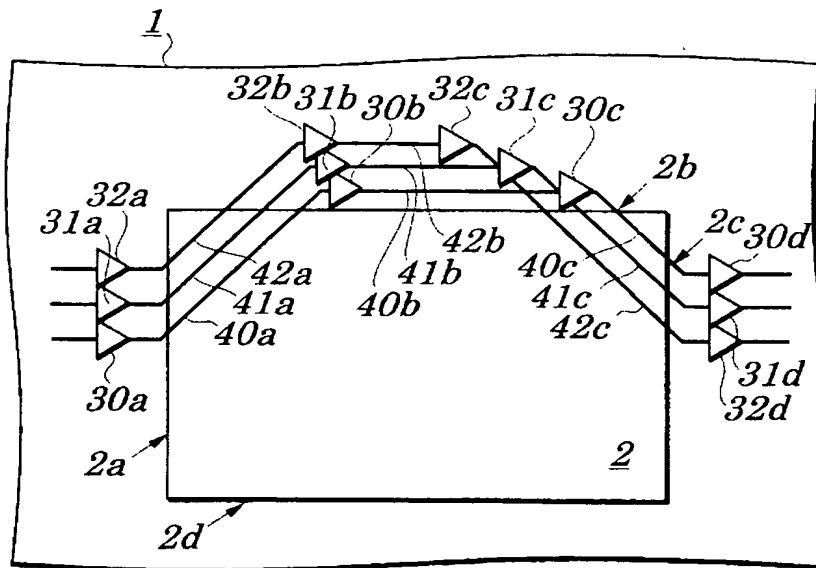
3a-3d バッファセル
 4a-4c 信号配線 (グローバル信号配線)

【図 3】



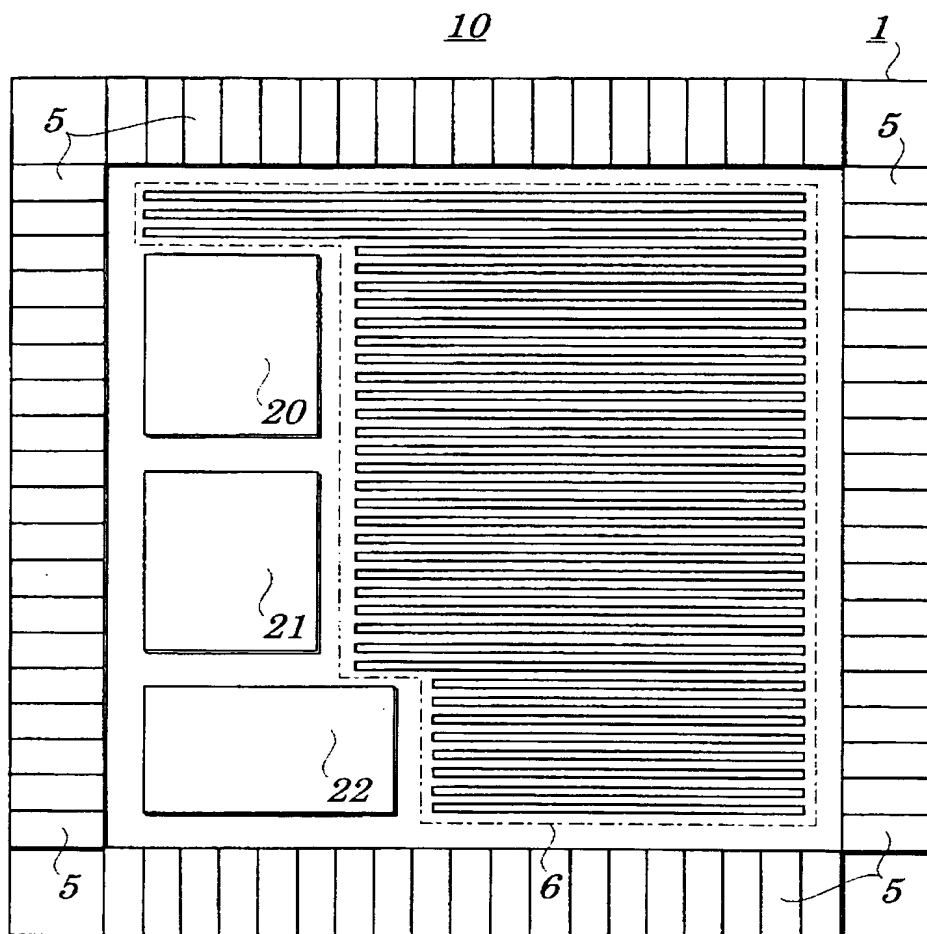
30a-30c, 31a-31c, 32a-32c バッファセル
40a-42a, 40b-42b 信号配線

【図 4】



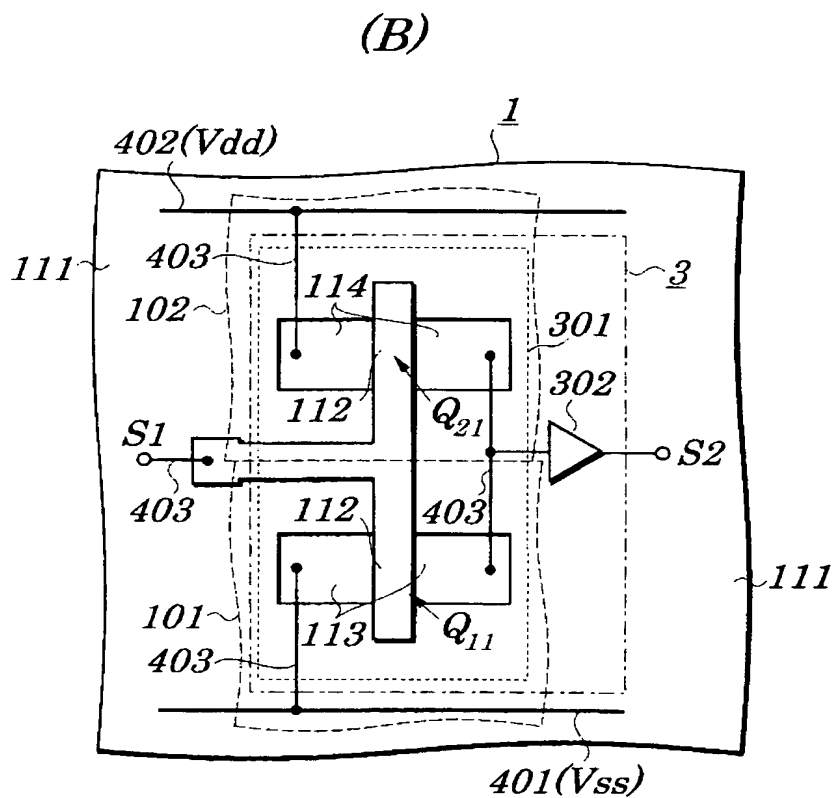
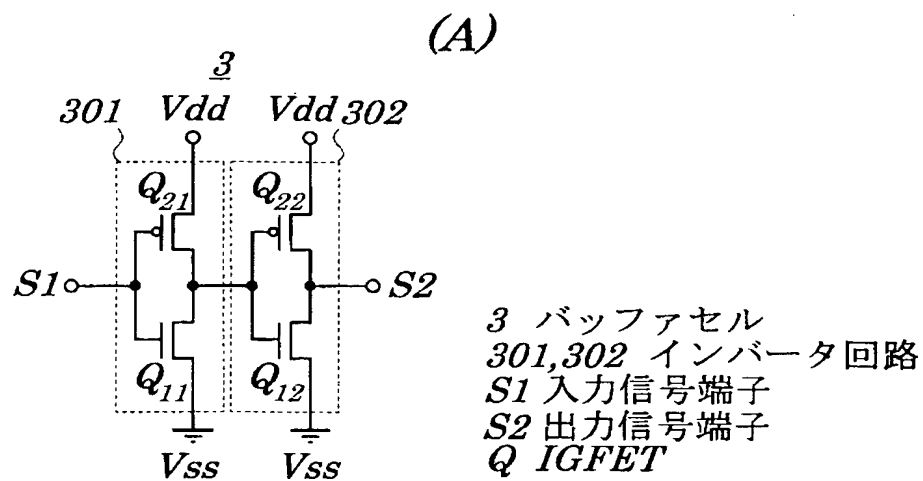
30a-30d, 31a-31d, 32a-32d バッファセル
40a-42a, 40b-42b, 40c-42c 信号配線

【図5】

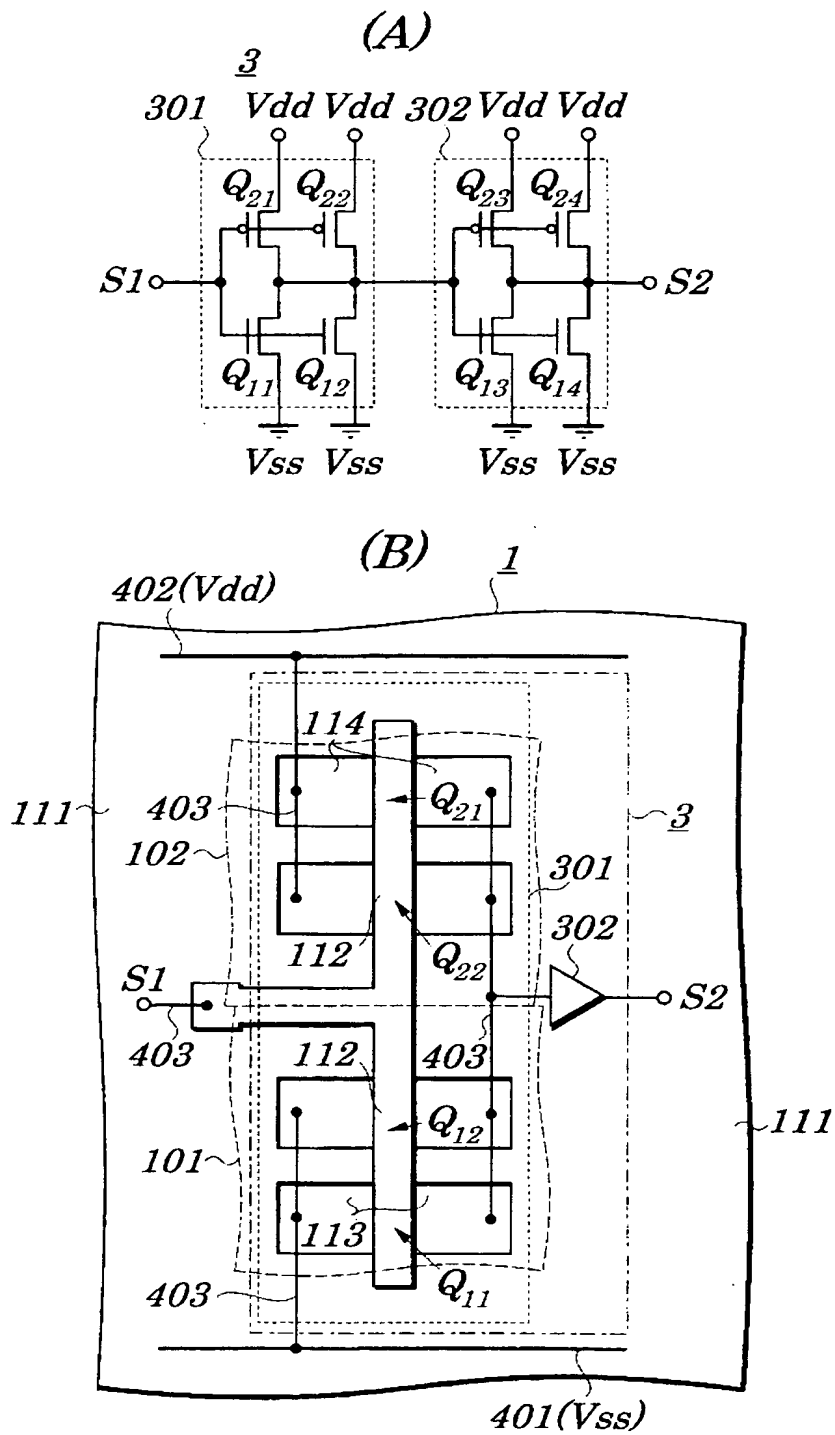


- 1 基板
5 入出力バッファセル
6 ランダムロジック列
10 半導体集積回路
20-22 機能ブロック

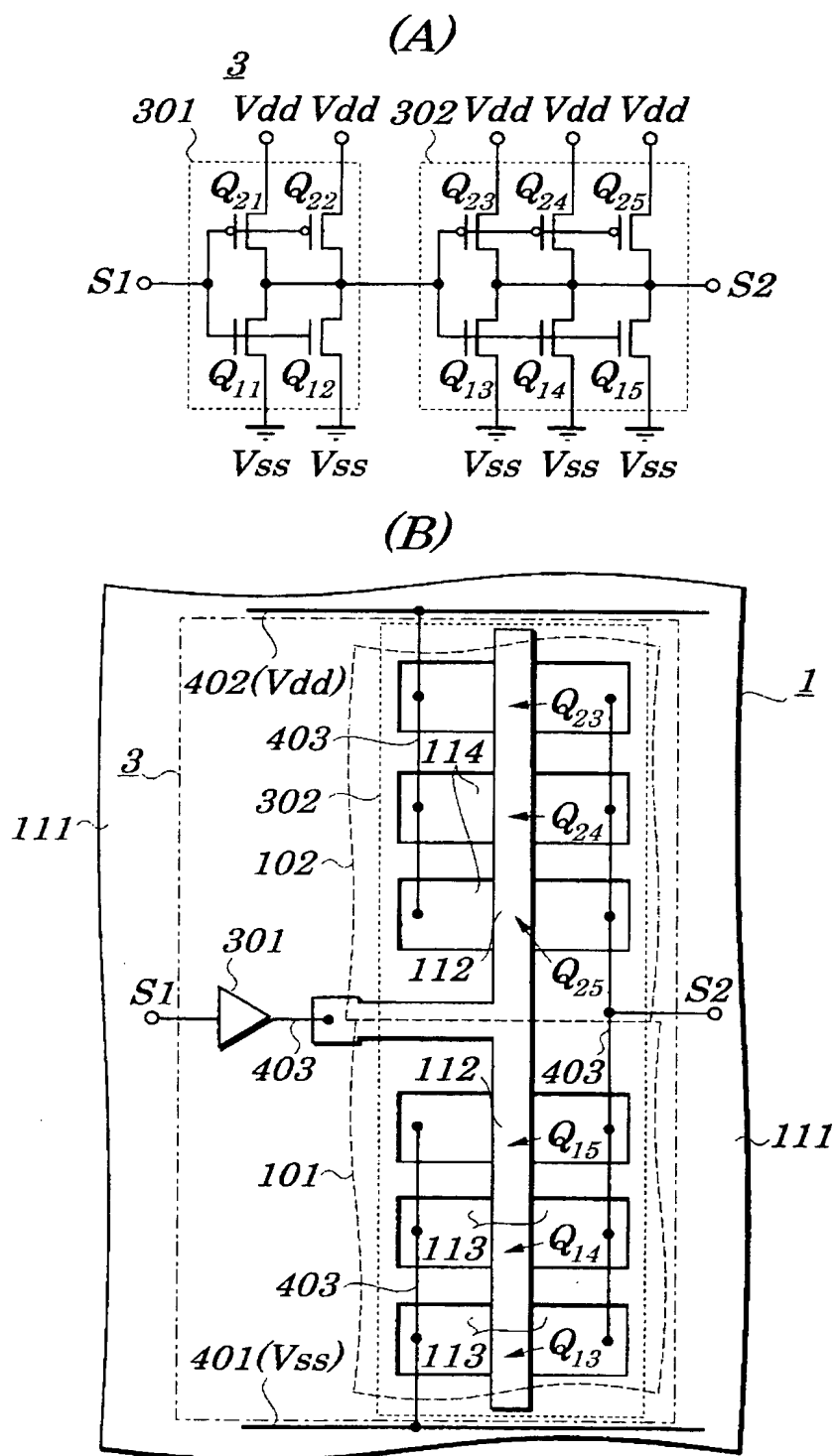
【図 6】



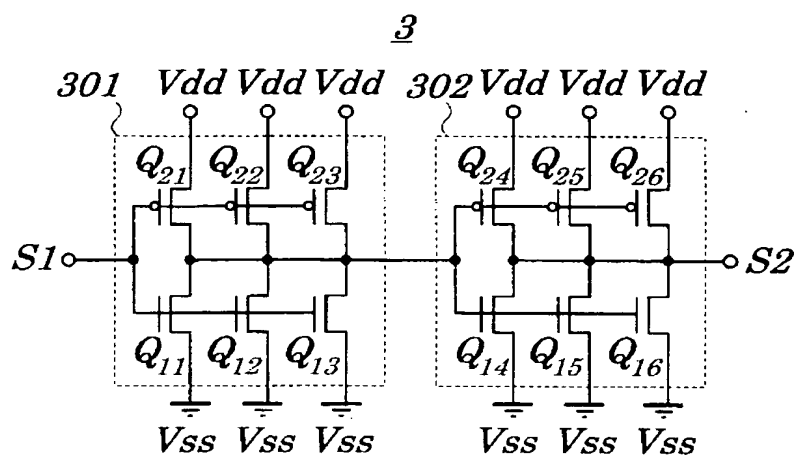
【図 7】



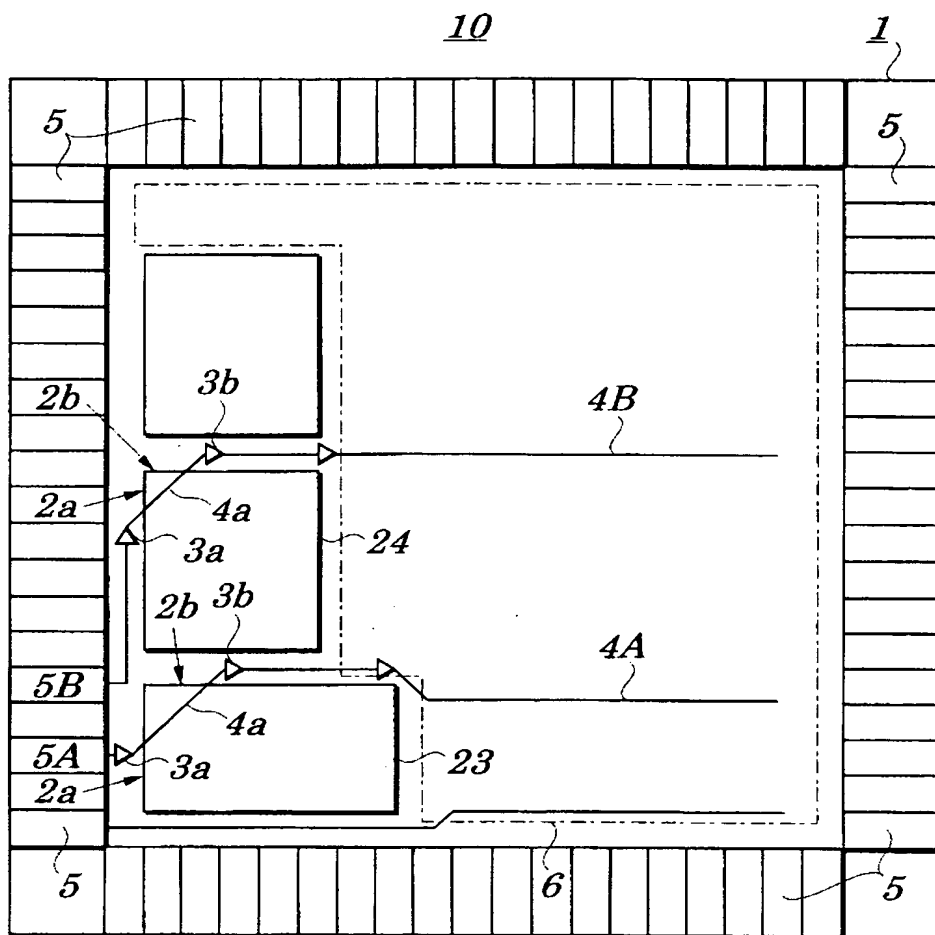
【図 8】



【図 9】

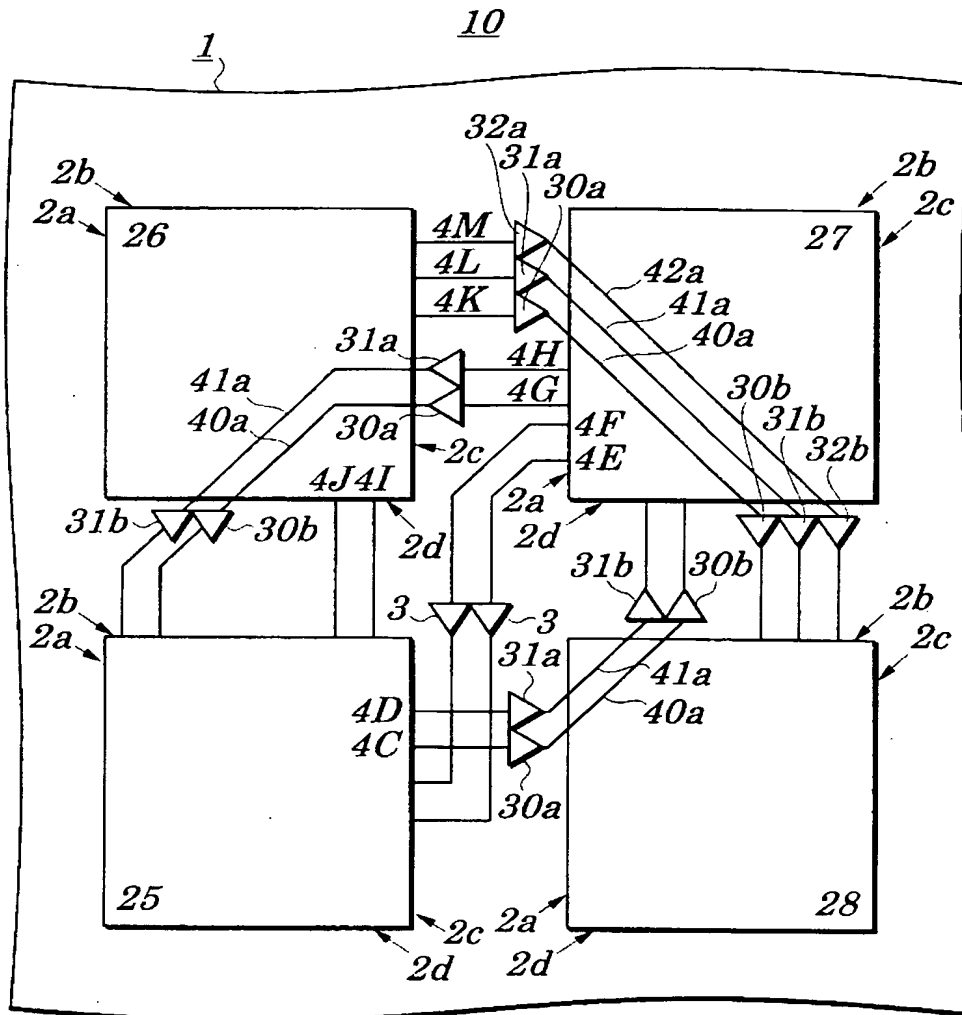


【図10】



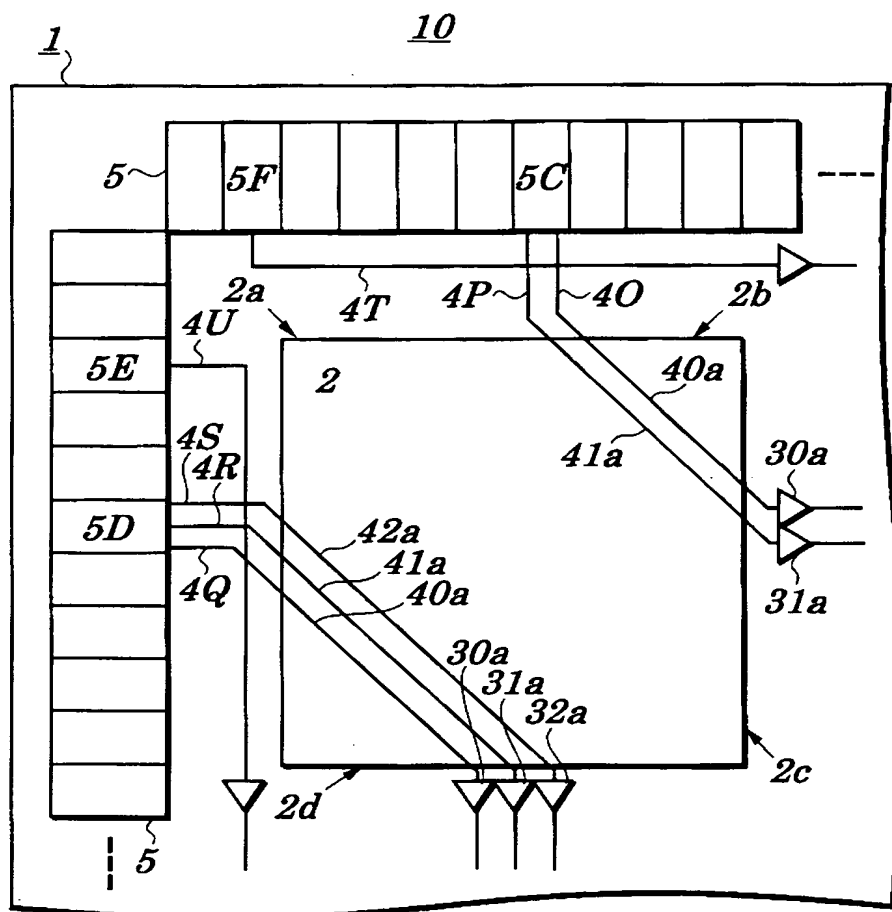
- 1 基板
- 3a, 3b バッファセル
- 4A, 4B グローバル信号配線
- 4a 信号配線
- 5A, 5B 入出力バッファセル
- 6 ランダムロジック列
- 10 半導体集積回路
- 23, 24 機能ブロック

【図 11】



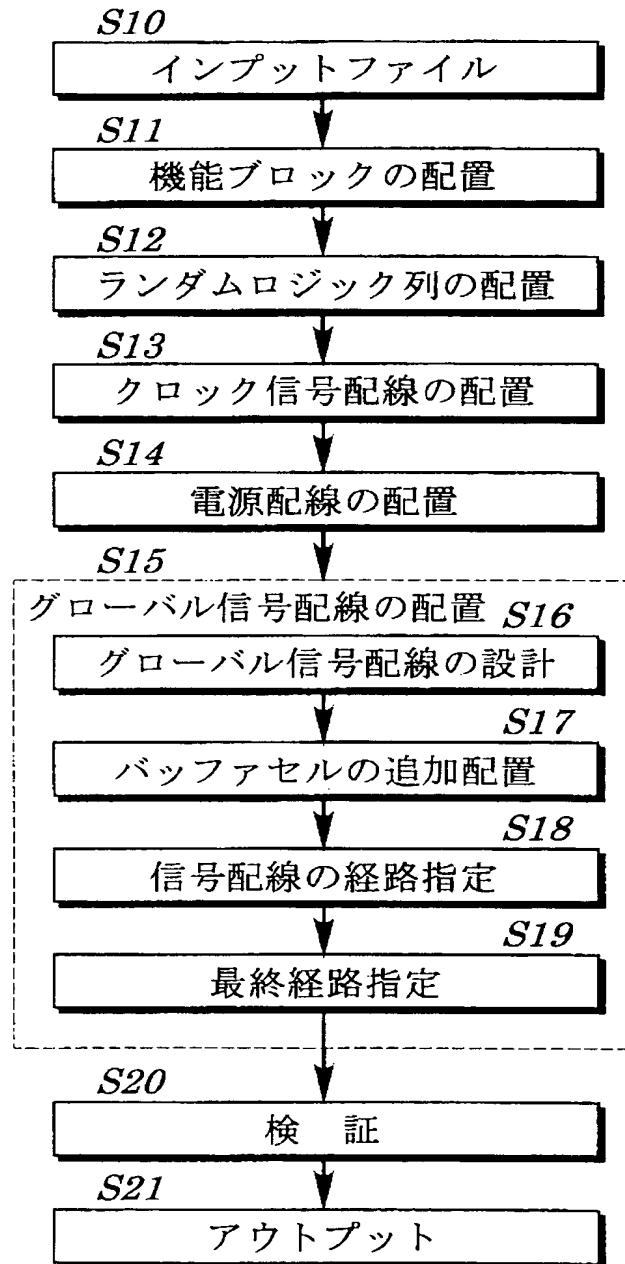
- 1 基板
- 10 半導体集積回路
- 25-28 機能ブロック
- 30a-30c, 31a-31c, 32a-32c バッファセル
- 4C-4M グローバル信号配線又は信号配線
- 40a-42a 信号配線

【図 12】

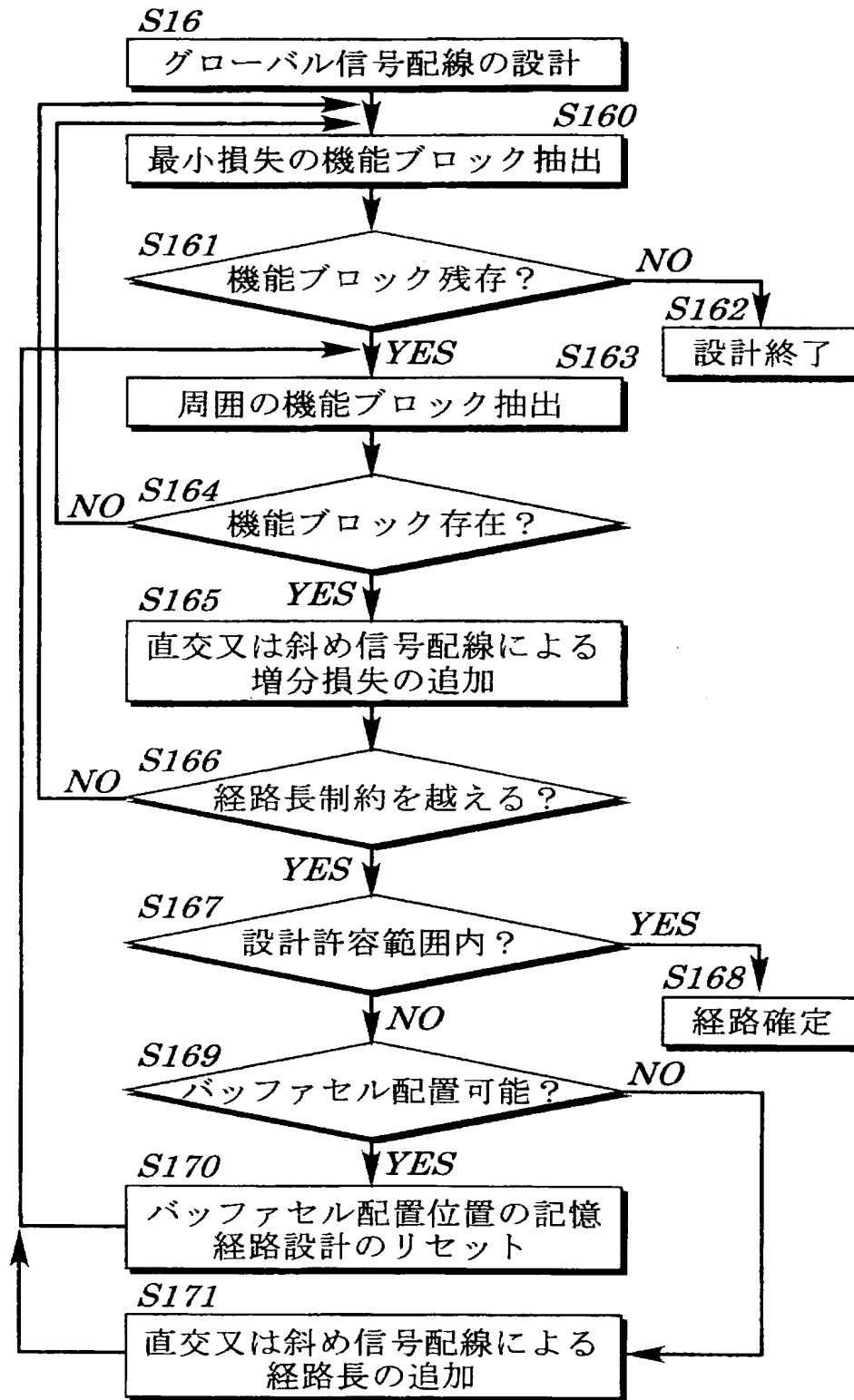


- 1 基板
- 10 半導体集積回路
- 2 機能ブロック
- 30a-30c バッファセル
- 40-4S グローバル信号配線又は信号配線
- 40a-42a 信号配線

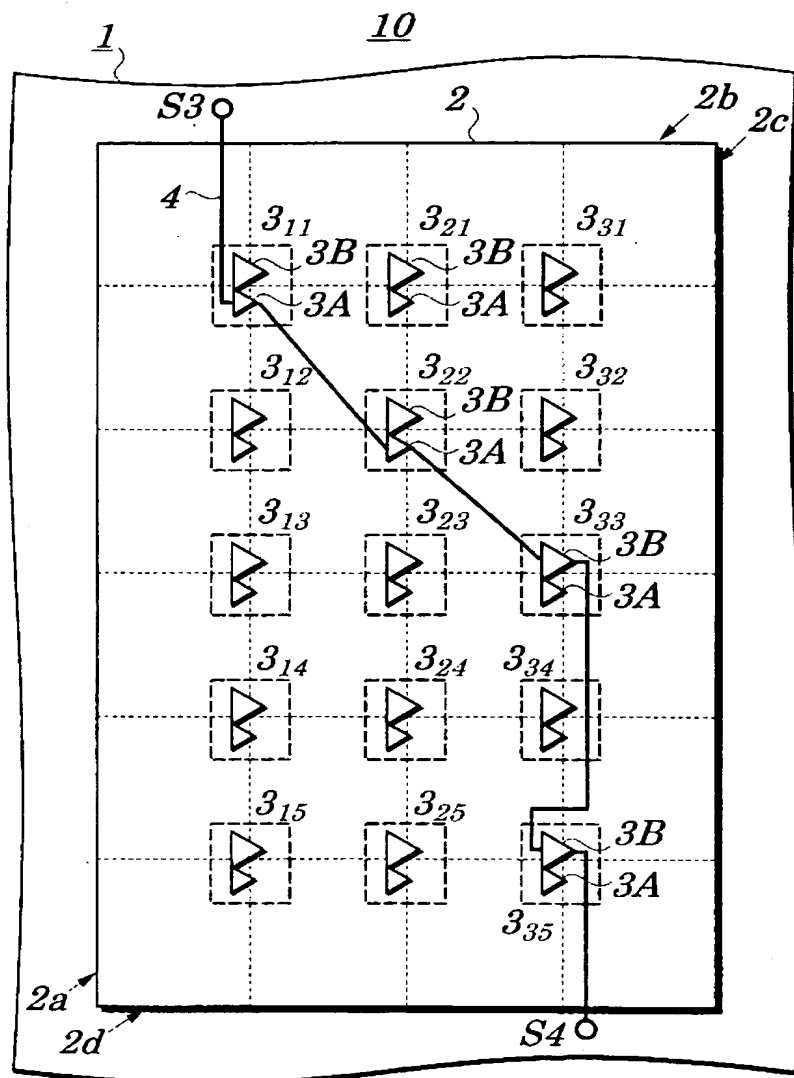
【図 13】



【図 14】

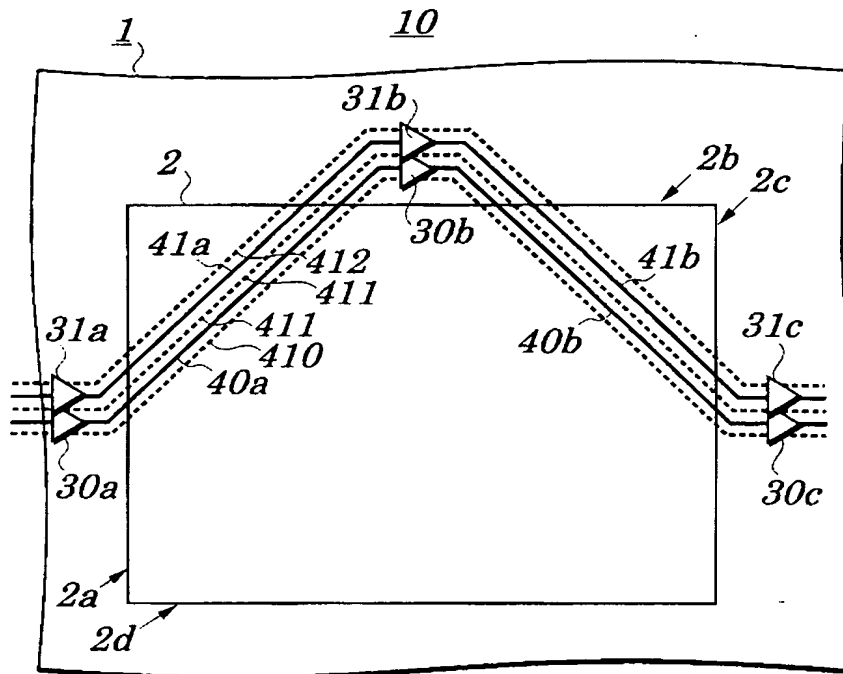


【図 15】



- 1 基板
- 10 半導体集積回路
- 2 機能ブロック
- 3₁₁-3₃₅ バッファセル
- 3A 第1のバッファセル
- 3B 第2のバッファセル
- 4 グローバル信号配線又は信号配線

【図16】



1 基板
2 機能ブロック
10 半導体集積回路
410-412 ウェーブガイド

【書類名】 要約書

【要約】

【課題】 機能ブロックを迂回する信号配線を減少し、高集積化に最適で、動作性能に優れた半導体集積回路及びその製造方法を提供する。

【解決手段】 半導体集積回路は基板 1 上に機能ブロック 2 を備えている。機能ブロック 2 の第 1 の辺 2 a にはバッファセル 3 a が配設され、第 2 の辺 2 b にはバッファセル 3 b が配設されている。そして、第 1 の辺 2 a 及び第 2 の辺 2 b に対して斜めに機能ブロック 2 上を通過し、バッファセル 3 a と 3 b との間を接続する信号配線 4 a が配設されている。信号配線 4 a はグローバル信号配線である。

【選択図】 図 1

特願 2 0 0 3 - 0 1 1 6 3 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝